

534,142

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年8月5日 (05.08.2004)

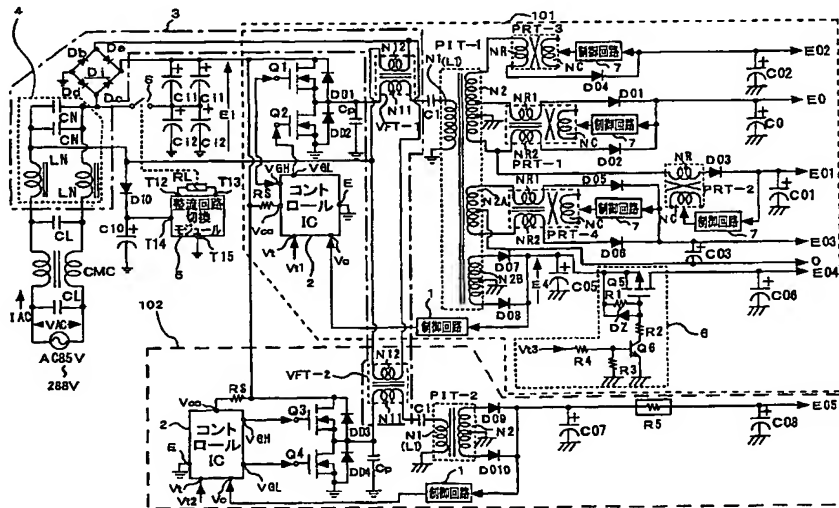
PCT

(10) 国際公開番号
WO 2004/066480 A1

- (51) 国際特許分類⁷: H02M 3/28 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/016339 (75) 発明者/出願人 (米国についてのみ): 安村 昌之 (YASUMURA, Masayuki) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー・ヒューマンキャピタル株式会社内 Tokyo (JP).
(22) 国際出願日: 2003年12月19日 (19.12.2003) (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
(25) 国際出願の言語: 日本語 (81) 指定国 (国内): CN, KR, US.
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2002-381226 2002年12月27日 (27.12.2002) JP 添付公開書類:
特願2003-349482 2003年10月8日 (08.10.2003) JP ー 国際調査報告書
ー 補正書
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SWITCHING POWER SUPPLY CIRCUIT

(54) 発明の名称: スイッチング電源回路



5... RECTIFIER CIRCUIT SWITCHING MODULE
2... CONTROL IC
1... CONTROL CIRCUIT
7... CONTROL CIRCUIT

(57) Abstract: A wide-range-capable switching power supply circuit having a power-factor improvement function, wherein the number of converter parts has been reduced for the number of steps of rising order of secondary DC output voltages, thereby realizing cost-down, small-size and light-weight of circuit, and low power loss. A plurality of switching converters (101, 102) are of a complex resonance type obtained by combining a partial resonance voltage circuit with a current resonance type prepared by half-bridge coupling method. A rectifier circuit is so configured as to serve, in accordance with a switching control, as a voltage doubler rectifier circuit when the AC voltage is smaller than 150 volts and as a full-wave rectifier circuit when the AC voltage is greater than 150 volts. The power-factor improvement is realized by using power-factor improvement transformers (VFT) to feed

[続葉有]

WO 2004/066480 A1



the output voltages of the converters back to the rectified current path, and further by using a rectifying diode to intermittently flow the rectified current, thereby enlarging the conduction angle of the AC input current. The control of the rising order of the secondary DC output voltages is performed by turning on and off, in accordance with an input of a predetermined rising signal, a DC switch circuit (6) inserted in the rectified current path.

(57) 要約:

二次側直流出力電圧の立ち上げ順の段階数に対してコンバータ部の数が少なくなるようにして、コストダウン及び回路の小型軽量化、低電力損失を図ることができる、力率改善機能を備えるワイドレンジ対応のスイッチング電源回路である。

複数のスイッチングコンバータ（１０１）、（１０２）は、ハーフブリッジ結合方式による電流共振形に、部分共振電圧回路を組み合わせた複合共振形のものである。

整流回路は、ＡＣ１５０Ｖ以下では倍電圧整流回路、以上では全波整流回路となるように切り換え制御を行う構成とする。

力率改善は、力率改善用トランス（ＶＦＴ）により各コンバータの出力を整流電流経路に電圧帰還して、整流ダイオードで整流電流を断続させ、交流入力電流の導通角を拡大させることで行う。

二次側直流出力電圧の立ち上げ順制御は、整流電流経路に挿入したＤＣスイッチ回路（６）を、所定の立ち上げ信号の入力に応じてオンオフ切換して行う。

明細書

スイッチング電源回路

技術分野

- 5 本発明は、力率改善のための回路を備えたスイッチング電源回路、およびこのスイッチング電源回路を搭載したプラズマディスプレイ装置に関するものである。

背景技術

- 10 近年、高周波の比較的大きな電流及び電圧に耐えることができるスイッチング素子の開発によって、商用電源を整流して所望の直流電圧を得る電源回路としては、大部分がスイッチング方式の電源回路になっている。

- 15 スwitchング電源回路はスイッチング周波数を高くすることによりトランスその他のデバイスを小型にすると共に、大電力のDC-DCコンバータとして各種の電子機器の電源として使用される。

ところで、一般に商用電源を整流すると平滑回路に流れる電流は歪み波形になるため、電源の利用効率を示す力率が損なわれるという問題が生じる。

- 20 また、歪み電流波形となることによって発生する高調波を抑圧するための対策が必要とされている。

- そこで、スイッチング電源回路において力率を改善する力率改善手段として、整流回路系においてPWM制御方式の昇圧型コンバータを設けて力率を1に近付ける、いわゆるアクティブフィルタを設ける方法が知られている（例えば特開平6-327246号公報（第11図）参照）。
- 25

第 8 図の回路図は、このようなアクティブフィルタの基本構成を示している。

この図においては、商用交流電源 A C にブリッジ整流回路 D i を接続している。このブリッジ整流回路 D i の正極／負極ラインに対しては並列に出力コンデンサ C out が接続される。ブリッジ整流回路 D i の整流出力が出力コンデンサ C out に供給されることで、出力コンデンサ C out の両端電圧として、直流電圧 V out が得られる。この直流電圧 V out は、例えば後段の D C - D C コンバータなどの負荷 1 0 に入力電圧として供給される。

10 また、力率改善のための構成としては、図示するようにして、インダクタ L、高速リカバリ型のダイオード D、抵抗 R i、スイッチング素子 Q、及び乗算器 1 1 を備える。

インダクタ L、ダイオード D は、ブリッジ整流回路 D i の正極出力端子と、出力コンデンサ C out の正極端子との間に、直列に接続されて挿入される。

抵抗 R i は、ブリッジ整流回路 D i の負極出力端子（一次側アース）と出力コンデンサ C out の負極端子との間に挿入される。

また、スイッチング素子 Q は、この場合には、M O S - F E T が選定されており、図示するようにして、インダクタ L とダイオード D の接続点と、一次側アース間に挿入される。

乗算器 1 1 に対しては、フィードフォワード回路として、電流検出ライン L I 及び波形入力ライン L w が接続され、フィードバック回路として電圧検出ライン L V が接続される。

乗算器 1 1 は、電流検出ライン L I から入力される、ブリッジ整流回路 D i の負極出力端子に流れる整流電流レベルを検出する。

また、波形入力ライン L_w から入力される、ブリッジ整流回路 D_i の正極出力端子の整流電圧波形を検出する。これは、即ち、商用交流電源 AC （交流入力電圧）の波形を絶対値化して検出していることに相当する。

- 5 また、電圧検出ライン L_v から入力される、出力コンデンサ C_{out} の直流電圧 V_{out} の変動差分を検出する。つまり、負荷 10 に入力すべき直流入力電圧の変動差分を検出する。

そして、乗算器 11 からは、スイッチング素子 Q を駆動するためのドライブ信号が出力される。

- 10 電流検出ライン L_i から乗算器 11 に対しては、ブリッジ整流回路 D_i の負極出力端子に流れる整流電流が入力される。乗算器 11 では、この電流検出ライン L_i から入力された整流電流レベルを検出する。また、電圧検出ライン L_v から入力される、出力コンデンサ C_{out} の直流電圧 V_{out} （直流入力電圧）の変動差分を検出する。また、波形入力ライン
- 15 L_w から入力される、ブリッジ整流回路 D_i の正極出力端子の整流電圧波形を検出する。

これは、即ち、商用交流電源 AC （交流入力電圧）の波形を絶対値化して検出していることに相当する。

- 乗算器 11 では、先ず、上記のようにして電流検出ライン L_i から検
- 20 出した整流電流レベルと、上記電圧検出ライン L_v から検出した直流入力電圧の変動差分と乗算する。そして、この乗算結果と、波形入力ライン L_w から検出した交流入力電圧の波形とによって、交流入力電圧 V_{AC} と同一波形の電流指令値を生成する。

- さらに、この場合の乗算器 11 では、上記電流指令値と実際の交流入
- 25 力電流レベル（電流検出ライン L_i からの入力に基づいて検出される）を比較し、この差に応じて PWM 信号について PWM 制御を行い、 PW

M信号に基づいたドライブ信号を生成する。スイッチング素子Qは、このドライブ信号によってスイッチング駆動される。この結果、交流入力電流は交流入力電圧と同一波形となるように制御されて、力率がほぼ1に近付くようにして力率改善が図られることになる。また、この場合には、乗算器11によって生成される電流指令値は、直流入力電圧（V
5 out）の変動差分に応じて振幅が変化するように制御されるため、直流入力電圧（V out）の変動も抑制されることになる。

第9図（a）は、上記第8図に示したアクティブフィルタ回路に入力される入力電圧V in 及び入力電流I in を示している。電圧V in は、
10 ブリッジ整流回路D i の整流出力としての電圧波形に対応し、電流I in は、ブリッジ整流回路D i の整流出力としての電流波形に対応する。ここで、電流I in の波形は、ブリッジ整流回路D i の整流出力電圧（電圧V in）と同じ導通角となっているが、これは、商用交流電源A Cからブリッジ整流回路D i に流れる交流入力電流の波形も、この電流
15 I in と同じ導通角となっていることを示す。つまり、ほぼ1に近い力率が得られている。

また、第9図（b）は、出力コンデンサC out に入出力するエネルギー（電力）P chg の変化を示す。出力コンデンサC out は、入力電圧V in が高いときにエネルギーを蓄え、入力電圧V in が低いときにエネルギーを放出して、出力電力の流れを維持する。
20

第9図（c）は、上記出力コンデンサC out に対する充放電電流I chg の波形を示している。この充放電電流I chg は、上記第9図（b）の入出力エネルギーP chg の波形と同位相となっていることから分かるように、出力コンデンサC out におけるエネルギーP chg の蓄積／放出動作に対応して流れる電流である。
25

上記充放電電流 I_{chg} は、入力電流 V_{in} とは異なり、交流ライン電圧（商用交流電源 AC）の第 2 高調波とほぼ同一の波形となる。交流ライン電圧には、出力コンデンサ C_{out} との間のエネルギーの流れによって、第 9 図（d）に示すようにして、第 2 高調波成分にリップル電圧 V_{dc} が生じる。このリップル電圧 V_{dc} は、無効なエネルギー保存のために、第 9 図（c）に示す充放電電流 I_{chg} に対して、 90° の位相差を有する。出力コンデンサ C_{out} の定格は、第 2 高調波のリップル電流と、その電流を変調するブースト・コンバータ・スイッチからの高周波リップル電流を処理することを考慮して決定するようにされる。

10 また、第 10 図には、第 8 図の回路構成を基として、基本的なコントロール回路系を備えたアクティブフィルタの構成例を示している。なお、第 8 図と同一とされる部分については同一符号を付して説明を省略する。

ブリッジ整流回路 D_i の正極出力端子と、出力コンデンサ C_{out} の正極端子間には、スイッチングプリレギュレータ 17 が備えられる。この
15 スwitchングプリレギュレータ 17 は、第 8 図においては、スイッチング素子 Q 、インダクタ L 、及びダイオード D などにより形成される部位となる。

そして、乗算器 11 を含むコントロール回路系は、他に、電圧誤差増幅器 12、除算器 13、二乗器 14 を備えて成る。

20 電圧誤差増幅器 12 では、出力コンデンサ C_{out} の直流電圧 V_{out} を、分圧抵抗 $R_{vo} - R_{vd}$ により分圧してオペアンプ 15 の非反転入力に入力する。オペアンプ 15 の反転入力には基準電圧 V_{ref} が入力される。オペアンプ 15 では、基準電圧 V_{ref} に対する分圧された直流電圧 V_{out} の誤差に応じたレベルの電圧を、帰還抵抗 R_{v1} 、コンデンサ C_{v1}
25 によって決定される増幅率により増幅して、誤差出力電圧 V_{vea} として除算器 13 に出力する。

また、二乗器 14 には、いわゆるフィードフォワード電圧 V_{ff} が入力される。このフィードフォワード電圧 V_{ff} は、入力電圧 V_{in} を平均化回路 16 (R_{f11} , R_{f12} , R_{f13} , C_{f11} , C_{f12}) により平均化した出力 (平均入力電圧) とされる。二乗器 14 では、このフィードフォワード電圧 V_{ff} を二乗して除算器 13 に出力する。

除算器 13 では、電圧誤差増幅器 12 からの誤差出力電圧 V_{vea} について、二乗器 14 から出力された平均入力電圧の二乗値により除算を行い、この除算結果としての信号を乗算器 11 に出力する。

つまり、電圧ループは、二乗器 14、除算器 13、乗算器 11 の系から成るものとされる。そして、電圧誤差増幅器 12 から出力される誤差出力電圧 V_{vea} は、乗算器 11 で整流入力信号 I_{vac} により乗算される前の段階で、平均入力電圧 (V_{ff}) の二乗により除算されることになる。この回路によって、電圧ループの利得は、平均入力電圧 (V_{ff}) の二乗として変化することなく、一定に維持される。平均入力電圧 (V_{ff}) は、電圧ループ内において順方向に送られる開ループ補正の機能を有する。

乗算器 11 には、上記除算器 13 により誤差出力電圧 V_{vea} を除算した出力と、抵抗 R_{vac} を介したブリッジ整流回路 D_i の正極出力端子 (整流出力ライン) の整流出力 (I_{ac}) が入力される。ここでは、整流出力を電圧によるのではなく、電流 (I_{ac}) として示している。乗算器 11 では、これらの入力を乗算することによって、電流プログラミング信号 (乗算器出力信号) I_{mo} を生成して出力する。これは、第 8 図にて説明した電流指令値に相当する。出力電圧 V_{out} は、この電流プログラミング信号の平均振幅を可変することで制御される。つまり、電流プログラミング信号の平均振幅の変化に応じた PWM 信号が生成され、この PWM 信号に基づいたドライブ信号によってスイッチング駆動が行

われることによって、出力電圧 V_{out} のレベルをコントロールするものである。

したがって、電流プログラミング信号は、入力電圧と出力電圧を制御する平均振幅の波形を有する。なお、アクティブフィルタは、出力電圧 V_{out} のみではなく、入力電圧 V_{in} も制御するようになっている。そして、フィードフォワード回路における電流ループは、整流ライン電圧によってプログラムされるということがいえるので、後段のコンバータ（負荷 10）への入力は抵抗性になる。

第 11 図は、上記第 10 図に示した構成に基づくアクティブフィルタの後段に対して電流共振形コンバータを接続して成る電源回路の構成例を示している。この図に示す電源回路は、交流入力電圧 $V_{AC} = 85\text{ V} \sim 288\text{ V}$ に対応する。つまり、商用交流電源について $AC\ 100\text{ V}$ 系と $AC\ 200\text{ V}$ 系の両者の交流入力電圧に対応する、いわゆるワイドレンジ対応（ワールドワイド仕様）とされている。また、対応可能な負荷電力としては 600 W 以上とされている。また、電流共振形コンバータとしては、他励式のハーフブリッジ結合方式による構成を採る。

そして、この第 11 図に示す電源回路は、近年において普及してきているプラズマディスプレイパネルを備えたテレビジョン受像機、モニタ装置などの表示装置に備えられる。つまり、第 11 図に示す電源回路は、このようなプラズマディスプレイパネルを備える表示装置（プラズマディスプレイ装置）の内部回路のための動作電源を供給するものとされる。

この場合の商用交流電源 AC ラインには、図示する接続態様により、2 組のコモンモードチョークコイル CMC 、 CMC と、3 組のアクロスコンデンサ CL が接続されて、コモンモードノイズのためのラインノイズフィルタを形成する。

また、この場合には、電源を起動／停止するためのメインスイッチ S W を商用交流電源 A C ラインに直列に挿入して示している。

商用交流電源 A C の正／負のラインに対しては、それぞれ、2 組のブリッジ整流回路 D i 1, D i 2 の各正極入力端子と負極入力端子が共通
5 に接続される。また、ブリッジ整流回路 D i 1, D i 2 の正極出力端子同士と、負極出力端子（アース接地）同士が接続されるようになっている。つまり、この場合には、商用交流電源 A C に対して、2 段のブリッジ整流回路が備えられていることになる。

また、上記ブリッジ整流回路 D i 1, D i 2 の正極出力端子と負極出力端子（一次側アース）間には、1 組のチョークコイル L N と、3 組のフィルタコンデンサ（フィルムコンデンサ）C N, C N, C N を図示するようにして接続して成るノーマルモードノイズフィルタ 4 が接続される。

上記ノーマルモードノイズフィルタ 4 の後段に対して、アクティブフィルタ回路 8 が備えられる。

15 このアクティブフィルタ回路 8 は、第 10 図により説明した構成に基づいているものである。つまり、ブリッジ整流回路 D i 1, D i 2 から入力される整流出力についてスイッチングを行う、P W M 制御方式の昇圧型コンバータを備える。このような昇圧型コンバータは、例えばスイッチング素子と、このスイッチング素子を P W M 制御方式によって駆動
20 するためのコントロール回路系を備えて形成される。

また、この場合のようにして、例えば負荷電力 $P_o = 600\text{ W}$ 以上の重負荷の条件に対応する場合には、スイッチング素子を複数設け、これらを並列接続することなどが行われる。重負荷時において、特に交流入力電圧 V_{AC} が 100 V 以下となる条件では、スイッチング素子に流れる電流が非常に高くなる。そこで、このようにして複数のスイッチング
25 素子を並列接続することで、各スイッチング素子に流れるスイッチング

電流のピークレベルは抑えられることになる。これによりアクティブフィルタ回路 8 としての信頼性が高められることとなる、

また、コントロール回路系は、乗算器、除算器、誤差電圧増幅器、PWM 制御回路、及びスイッチング素子をスイッチング駆動するためのドライブ信号を出力するドライブ回路等を備えて構成され、例えば 1 石の IC とされる。第 10 図に示した乗算器 11、誤差電圧増幅器 12、除算器 13、及び二乗器 14 などに相当する回路部は、このコントロール回路系としての IC 内に搭載されていることになる。そして、このコントロール回路系としての IC に対して、第 8 図及び第 10 図にて説明したようにして、フィードバック回路系及びフィードフォワード回路系が接続され、これらの回路系からの帰還出力に基づいて、スイッチング素子を PWM 制御によって駆動する。

そして、上記構成によるアクティブフィルタ回路 8 内のスイッチング素子のスイッチング駆動は、第 8 図及び第 10 図により説明したようにして、整流出力電流の導通角が、整流出力電圧波形とほぼ同等の導通角となるように、PWM 制御に基づくドライブ信号によって行われる。整流出力電流の導通角が整流出力電圧波形とほぼ同等の導通角となるということは、即ち、商用交流電源 AC から流入する交流入力電流の導通角が、交流入力電圧 V_{AC} の波形とほぼ同じ導通角となることであり、結果的に、力率が 1 に近づくように制御されることになる。つまり、力率改善が図られる。実際においては、負荷電力 $P_o = 600\text{ W}$ 時において、力率 $P_F = 0.995$ 程度となる特性が得られる。

また、この第 11 図に示すアクティブフィルタコントロール回路 8 によっては、整流平滑電圧 E_i (第 10 図では、 V_{out} に相当する) $= 375\text{ V}$ の平均値について、交流入力電圧 $V_{AC} = 85\text{ V} \sim 288\text{ V}$ の範囲で定電圧化するようにも動作する。つまり、後段の電流共振形コンバ

ータには、交流入力電圧 $V_{AC} = 85\text{ V} \sim 264\text{ V}$ の変動範囲に関わらず、 375 V で安定化された直流入力電圧が供給されることとなる。

上記交流入力電圧 $V_{AC} = 85\text{ V} \sim 288\text{ V}$ の範囲は、商用交流電源 $AC\ 100\text{ V}$ 系と 200 V 系を連続的にカバーするものであり、従って、
5 後段のスイッチングコンバータには、商用交流電源 $AC\ 100\text{ V}$ 系と 200 V 系とで、同じレベルで安定化された直流入力電圧 (E_i) が供給されることとなる。つまり、第11図に示す電源回路は、アクティブフィルタを備えることで、ワイドレンジ対応の電源回路としても構成されている。

10 そして、この場合においては、アクティブフィルタ回路8の後段には、3本で1組とされる平滑コンデンサ C_{iA} 、 C_{iB} 、 C_{iC} が並列に接続されている。

上記平滑コンデンサ [$C_{iA}/C_{iB}/C_{iC}$] の組は、第8図、第10図における出力コンデンサ C_{out} に相当する。従って、この場合において、この並列接続された平滑コンデンサ [$C_{iA}/C_{iB}/C_{iC}$]
15 の組の両端電圧として整流平滑電圧 E_i が得られることになる。この整流平滑電圧 E_i が、後段の各コンバータ部201、202、203に対して直流入力電圧として供給される。そして、上記もしているように、この場合の平滑コンデンサ [$C_{iA}/C_{iB}/C_{iC}$] の両端電圧（整流
20 平滑電圧 E_i ）としては、 375 V で安定化されるものとなる。

そして、この図に示す電源回路においては、前述したような重負荷の条件に対応するために、上記整流平滑電圧 E_i としての直流入力電圧を動作電源とする複数の複合共振形コンバータが備えられる。ここでの複合共振形コンバータとは、スイッチングコンバータの動作を共振形とするために備えられる共振回路に加えて、さらに一次側又は二次側に対し
25 て共振回路を付加し、これら複数の共振回路を1スイッチングコンバー

タ内において複合的に動作させる構成のスイッチングコンバータをいう。
この図では、第1コンバータ部201、第2コンバータ部202、第3
コンバータ部203の3つの複合共振形コンバータが設けられている。
ここでの複合共振形コンバータは、以降説明するようにして、電流共振
5 形コンバータに対して、一次側部分電圧共振回路を備えて形成される。

例えば、第1コンバータ部201の構成としては、図示するようにし
て、2石のスイッチング素子Q1、Q2を備えて成る。この場合には、
スイッチング素子Q1がハイサイドで、スイッチング素子Q2がローサ
イドとなるようにしてハーフブリッジ接続し、整流平滑電圧 E_i （直流
10 入力電圧）に対して並列に接続している。つまり、ハーフブリッジ結合
方式による電流共振形コンバータとしての構成を採る。

この場合の電流共振形コンバータは他励式とされ、これに対応して上
記スイッチング素子Q1、Q2には、MOS-FETが用いられている。
これらスイッチング素子Q1、Q2に対しては、それぞれ並列にクラン
15 プダイオードDD1、DD2が接続され、これによりスイッチング回路が
形成される。これらクランプダイオードDD1、DD2は、スイッチング
素子Q1、Q2のターンオフ時における逆方向電流を流す経路を形成す
る。

コントロールIC2は、電流共振形コンバータを他励式により駆動す
20 るための発振回路、制御回路、及び保護回路等を備えて構成されるもの
で、内部にバイポーラトランジスタを備えた汎用のアナログIC
(Integrated Circuit)とされる。

このコントロールIC2は、電源入力端子Vccに入力される直流電
圧により動作する。この場合には、抵抗Rsを介して入力される整流平
25 滑電圧 E_i が電源入力端子Vccに入力されるようになっている。また、
アース端子Eは一次側アースに直接接続される。

そして、コントロール I C 2 においては、スイッチング素子に対してドライブ信号（ゲート電圧）を出力するための端子として、2つのドライブ信号出力端子 VGH, VGL が備えられる。

- 5 ドライブ信号出力端子 VGH からは、ハイサイドのスイッチング素子をスイッチング駆動するためのドライブ信号が出力され、ドライブ信号出力端子 VGL からは、ローサイドのスイッチング素子をスイッチング駆動するためのドライブ信号が出力される。

- 10 そして、この場合には、ドライブ信号出力端子 VGH は、ハイサイドのスイッチング素子 Q1 のゲートと接続される。また、ドライブ信号出力端子 VGL は、ローサイドのスイッチング素子 Q2 のゲートと接続される。

- 15 これにより、ドライブ信号出力端子 VGH から出力されるハイサイド用のドライブ信号は、スイッチング素子 Q1 のゲートに対して印加され、ドライブ信号出力端子 VGL から出力されるローサイド用のドライブ信号は、スイッチング素子 Q2 のゲートに対して印加されることになる。

- 20 コントロール I C 2 では、内部の発振回路により所要の周波数の発振信号を生成する。そして、コントロール I C 2 では、上記発振回路にて生成された発振信号を利用して、ハイサイド用のドライブ信号と、ローサイド用のドライブ信号を生成する。ここで、ハイサイド用のドライブ信号と、ローサイド用のドライブ信号は、互いに 180° の位相差を有する関係となるようにして生成される。そして、ハイサイド用のドライブ信号をドライブ信号出力端子 VGH から出力し、ローサイド用のドライブ信号をドライブ信号出力端子 VGL から出力するようにされる。

- 25 このようなハイサイド用のドライブ信号と、ローサイド用のドライブ信号が、スイッチング素子 Q1, Q2 に対してそれぞれ印加されることによって、ドライブ信号が H レベルとなる期間に応じては、スイッチン

- グ素子 Q1, Q2 のゲート電圧がゲート閾値以上となってオン状態となる。またドライブ信号が L レベルとなる期間では、ゲート電圧がゲート閾値以下となってオフ状態となる。これにより、スイッチング素子 Q1, Q2 は、交互にオン/オフとなるタイミングによって所要のスイッチング周波数によりスイッチング駆動されることになる。

また、コントロール IC 2 の起動端子 V_t には、この図に示す電源回路が搭載される機器に備えられるマイクロコンピュータ（ここでは図示せず）から出力される立ち上げ信号 V_{t1} が入力される。

- コントロール IC 2 は、この立ち上げ信号が入力されたタイミングで起動して動作を開始するようになっている。つまり、ドライブ信号出力端子 V_{GH}、及びドライブ信号出力端子 V_{GL} からのドライブ信号出力を開始する。従って、第 1 コンバータ部 201 の動作開始タイミングは、コントロール IC 2 の立ち上げ信号 V_{t1} の入力タイミングによって決定されることになる。

- 絶縁コンバータトランス P I T - 1 は、上記スイッチング素子 Q1, Q2 のスイッチング出力を一次側から二次側に伝送するために設けられる。

- 絶縁コンバータトランス P I T - 1 の一次巻線 N1 の一方の端部は、一次側直列共振コンデンサ C1 を介してスイッチング素子 Q1, Q2 の接続点（スイッチング出力点）に対して接続され、他方の端部は一次側アースに接続される。ここで、直列共振コンデンサ C1 は、自身のキャパシタンスと一次巻線 N1 のリーケージインダクタンス (L1) とによって一次側直列共振回路を形成する。この一次側直列共振回路は、スイッチング素子 Q1, Q2 のスイッチング出力が供給されることで共振動作を生じるが、これによって、スイッチング素子 Q1, Q2 から成るスイッチング回路の動作を電流共振形とする。

また、スイッチング素子 Q_2 のドレインソース間に対しては、部分共振コンデンサ C_p が並列に接続される。この部分共振コンデンサ C_p のキャパシタンスと一次巻線 N_1 のリーケージインダクタンス L_1 によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子 Q_1 , Q_2 のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

このように、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して他の共振回路が組み合わされた、複合共振形コンバータとしての形式を採っている。

10 絶縁コンバータトランス $PIT-1$ の二次側には二次巻線として、2組の二次巻線 N_{2a} , N_{2b} が互いに独立するようにして巻装される。

この場合の二次巻線 N_{2a} に対しては、図示するようにしてセンタータップを設けて二次側アースに接続した上で、整流ダイオード D_{o1} , D_{o2} 、及び平滑コンデンサ C_{o1} から成る両波整流回路を接続している。

15 これにより、平滑コンデンサ C_{o1} の両端電圧として二次側直流出力電圧 E_{o1} が得られる。この二次側直流出力電圧 E_{o1} は、図示しない負荷側に供給されるとともに、制御回路1のための検出電圧としても分岐して入力される。

制御回路1では、入力される二次側直流出力電圧 E_{o1} のレベルに応じてそのレベルが可変された電圧又は電流を制御出力としてコントロールIC2の制御入力端子 V_c に供給する。コントロールIC2では、制御入力端子 V_c に入力された制御出力に応じて、例えば発振信号の周波数を可変することで、ドライブ信号出力端子 V_{GH} , V_{GL} から出力すべきドライブ信号の周波数を可変する。これにより、スイッチング素子 Q_1 , Q_2 は、スイッチング周波数が可変制御されることになるが、このようにしてスイッチング周波数が可変されることによって、二次側直

流出力電圧 E_{o1} のレベルが一定となるように制御される。つまり、スイッチング周波数制御方式による安定化が行われる。

また、この場合においては、二次側直流出力電圧 E_{o1} を分岐して、二次側出力電圧 E_o 、 E_{o2} を生成するように回路が形成されている。

5 二次側出力電圧 E_o を生成する回路系は、MOS-FETによるスイッチング素子 Q_7 、整流ダイオード D_{cn1} 、高周波ノイズ除去用のチョークコイル L_1 、平滑コンデンサ C_o 、及びPWM(Pulse Width Modulation)制御を実行する制御回路7を図示するようにして接続した、降圧形コンバータとして形成される。

10 スwitchング素子 Q_7 は、制御回路7によってスイッチング駆動されることで、二次側出力電圧 E_{o1} をスイッチングして交番出力を得る。この交番出力は、チョークコイル L_1 、整流ダイオード D_{cn1} 及び平滑コンデンサ C_o から成る半波整流回路によって整流平滑化されることになって、平滑コンデンサ C_o の両端電圧として、二次側直流出力電圧 E_o を生成する。

15 ここで、制御回路7は、二次側直流出力電圧 E_o のレベルに応じて、PWM制御を実行する。これにより、スイッチング素子 Q_7 は、二次側直流出力電圧 E_o のレベルに応じて、スイッチング周波数は一定とされた上で、1スイッチング周期内のオン期間が可変されるようにしてスイッチング動作が制御される。これにより、二次側直流出力電圧 E_o のレベルが一定となるように制御されることになる。つまり、二次側直流出力電圧 E_o の安定化が図られる。

20 二次側出力電圧 E_{o2} を生成する回路系としても、MOS-FETによるスイッチング素子 Q_8 、整流ダイオード D_{cn2} 、チョークコイル L_2 、
25 平滑コンデンサ C_{o2} 、及び制御回路7を、上記した二次側出力電圧 E

o1 を生成する回路系と同様の態様により接続した、降圧形コンバータとして形成される。

従って、この場合にも、平滑コンデンサ C o2 の両端電圧としては、制御回路 7 の P W M 制御によって安定化された二次側直流出力電圧 E

5 o2 が得られることになる。

また、二次巻線 N2b に対しては、ブリッジ整流回路 D B R 及び平滑コンデンサ C o3 から成る全波整流回路が形成されており、この全波整流回路の整流平滑動作によって、平滑コンデンサ C o3 の両端電圧として二次側直流出力電圧 E o3 を得るようにされている。

10 第 2 コンバータ部 2 0 2 は、ハーフブリッジ結合されたスイッチング素子 Q3, Q4、クランプダイオード D D3, D D4、部分共振コンデンサ C p、コントロール I C 2、絶縁コンバータトランス P I T-2 の一次巻線 N1 等を、上記第 1 コンバータ部 2 0 1 と同様の態様によって接続することで、電流共振形コンバータと一次側部分電圧共振回路が組み合わ
15 わされた複合共振形コンバータとしての構成を採る。

また、第 2 コンバータ部 2 0 2 の二次側は、二次巻線 N2 のセンタータップを二次側アースに接続したうえで、この二次巻線 N2 に対して、図示するようにして、整流ダイオード D o1, D o2、平滑コンデンサ C o4, C o5、ノイズ除去用の抵抗 R1 から成る両波整流回路が形成される。

20 これにより、平滑コンデンサ C o5 の両端電圧として、二次側直流出力電圧 E o4 が生成される。

また、第 2 コンバータ部 2 0 2 においては、制御回路 7 が、平滑コンデンサ C o4 の両端に得られる二次側整流平滑電圧のレベルに基づいて、一次側コンバータのスイッチング周波数制御を実行する結果、二次側直
25 流出力電圧 E o4 に対する安定化が図られるようにされている。

また、第2コンバータ部202において、コントロールIC2の起動端子V_tに対しては、マイクロコンピュータから出力される立ち上げ信号V_t3が入力される。

また、第3コンバータ部203も、ハーフブリッジ結合されたスイッチング素子Q5、Q6、クランプダイオードDD5、DD6、部分共振コンデンサC_p、コントロールIC2、絶縁コンバータトランスPIT-3（一次巻線N1、二次巻線N2、整流ダイオードD_o1、D_o2、平滑コンデンサC_o6、C_o7、抵抗R2を、第2コンバータ部202と同様の態様によって接続することで、電流共振形コンバータと一次側部分電圧共振回路が組み合わされた複合共振形コンバータとしての構成を採る。そして、この第3コンバータ部203においても、制御回路7によるスイッチング周波数制御によって安定化された二次側直流出力電圧E_o5が得られる。

また、第3コンバータ部203のコントロールIC2の起動端子V_tに対しては、マイクロコンピュータから出力される立ち上げ信号V_t2が入力される。

上記構成では、二次側から、6つの二次側直流出力電圧E_o、E_o1～E_o5が得られることになるが、これら二次側直流出力電圧の用途、負荷仕様については、例えば下記のようにになっている。

- 20 E_o：ロジック電源、5V／6A～2A
- E_o1：アナログICドライブ用電源、12V／0.4A
- E_o2：デジタルICドライブ用電源、3.3V／1.5A
- E_o3：音声出力用電源、26V／1.3A～0.1A
- E_o4：データ電源、70V／2.5A～0.35A
- 25 E_o5：維持電源、200V／1.75A～0.1A

そして、各コンバータ部が対応すべき最大負荷電力は、

第1コンバータ部201:75W

第2コンバータ部202:175W

第3コンバータ部203:350W

であり、総合で600Wとなる。

- 5 また、上記したような各コンバータ部が対応すべき最大負荷電力に応じて、絶縁コンバータトランスについては、次のようにしてコアが選定される。

PIT-1:EER-35

PIT-2:EER-40

- 10 PIT-3:EER-42

また、降圧形コンバータにおけるチョークコイルL11, L12は、それぞれ、EE-25のフェライトコアである。

- 上記第11図に示したようにして、プラズマディスプレイ装置に備えられる電源回路としては、それぞれ異なる負荷条件に対応させた複数の
15 二次側直流出力電圧 E_0 , $E_{01} \sim E_{05}$ を出力するようにされている。また、特にプラズマディスプレイ装置においては、その回路構成の都合上、電源が起動して直流入力電圧（整流平滑電圧 E_i （375V））が立ち上がったときに、各二次側直流出力電圧について、しかるべき順序で以て、順次立ち上がらせる必要がある。

- 20 具体的には、先ず、ロジック電源である二次側直流出力電圧 E_0 を立ち上がらせ、続いて、順次、維持電源である二次側直流出力電圧 E_{05} 、データ電源である二次側直流出力電圧 E_{04} を立ち上げるようにする。

- そこで、上記したような二次側直流出力電圧の立ち上げ順序とするために、マイクロコンピュータは、各コンバータ部（201, 202, 2
25 03）におけるコントロールIC2の起動端子 V_t に対して、立ち上げ信号 V_{t1} , V_{t2} , V_{t3} を出力して制御を行っている。この立ち上

げ信号 V_{t1} , V_{t2} , V_{t3} による二次側直流出力電圧の立ち上げ順序の制御動作を、第 12 図のタイミングチャートに示す。

ここで、第 11 図に示す電源回路は、いわゆるメイン電源の構成であり、ここにはスタンバイ電源は示していない。マイクロコンピュータは、
5 このスタンバイ電源が供給されているからメイン電源が起動されていない状態でも、動作することが可能である。

そして、メイン電源である第 11 図に示す回路を起動させるために、メインスイッチ SW がオフからオンに切り換えられたとすると、商用交流電源 AC が回路に投入されて整流平滑電圧 E_i が得られることになる。
10 そして、この整流平滑電圧 E_i が規定レベル（例えば 375 V）にまで上昇したことがマイクロコンピュータによって検出されると、マイクロコンピュータは、時点 t_1 のタイミングで、立ち上げ信号 V_{t1} を L レベルから H レベルに切り換えて出力する。これにより、立ち上げ信号 V_{t1} が入力されている第 1 コンバータ部 201 のコントロール IC 2 は、
15 時点 t_1 からスイッチング駆動動作を開始する。そして、これに応じて、第 1 コンバータ部 201 の二次側にて得られる二次側直流出力電圧 E_o は、時点 t_1 における 0 レベルから上昇を開始して或る時間が経過した時点で、規定のレベル（5 V）にまで上昇する。そして、以降は、降圧形コンバータによる定電圧制御動作によって、この 12 V で安定化された状態を維持する。
20

なお、確認のために述べておくと、同じ第 1 コンバータ部 201 にて生成される残りの二次側直流出力電圧 E_{o1} , E_{o2} , E_{o3} も、二次側直流出力電圧 E_o とほぼ同じタイミングで立ち上がることになる。

そして、立ち上げ信号 V_{t2} は、上記のようにして、時点 t_1 から二
25 次側直流出力電圧 E_o が規定レベルに上昇して安定した後の、時点 t_2

においてLレベルからHレベルに切り換えて出力されるように設定されている。

これにより、第3コンバータ部203のコントロールICが時点 t_2 において起動する。これに応じて、時点 t_2 以降においては、二次側直
5 流出力電圧 E_{o5} が0レベルから上昇を開始して、或る時間を経過した
時点で、規定レベル（200V）で一定となるようにして立ち上がるこ
とになる。

また、上記のように二次側直流出力電圧 E_{o5} が規定レベルで安定し
た状態となった後の時点 t_3 において、マイクロコンピュータは、立ち
10 上げ信号 V_{t3} をLレベルからHレベルに切り換える。これに応じて、
第2コンバータ部202のコントロールICが時点 t_3 において起動し、
時点 t_3 以降において、二次側直流出力電圧 E_{o4} が0レベルから上昇
を開始して、或る時間を経過した時点で、規定レベル（70V）で一定
となるようにして立ち上がる。

15 このようにして、第11図に示す電源回路では、二次側直流出力電圧
の立ち上がりタイミングをコントロールして、電源回路としての適切な
起動動作を得るようにしている。

これまでの説明から分かるように、先行技術として第11図に示した
電源回路は、従来から知られている第8図及び第10図に示した構成を
20 基本とするアクティブフィルタを実装して構成されている。また、第1
1図に示す回路の場合には、アクティブフィルタの後段に対して、3つ
の複合共振形コンバータを並列に接続している。さらには、第1コンバ
ータ部201としての複合共振形コンバータには、二次側直流出力電圧
 E_o 、 E_{o2} を得るための、降圧形コンバータが設けられる。

25 このような構成を採ることによって、力率改善を図っている。また、
負荷電力600W以上の条件の下で、商用交流電源AC100V系とA

C 2 0 0 V系とで動作する、いわゆるワイドレンジ対応としている。また、スイッチング制御方式による定電圧制御のための回路系と、二次側に設けられる所要数の降圧形コンバータとを組み合わせることによって、各二次側直流出力電圧の安定化を図っている。

- 5 したがしながら、上記第 1 1 図に示した構成による電源回路では次のような問題を有している。

第 1 1 図に示す電源回路における電力変換効率としては、前段のアクティブフィルタに対応する A C - D C 電力変換効率 ($\eta_{AC \rightarrow DC}$) と、後段の電流共振形コンバータ (第 1、第 2、第 3 コンバータ部 2 0 1, 2 0 2, 2 0 3) の D C - D C 電力変換効率 ($\eta_{DC \rightarrow DC}$) とを総合したものと

10 なる。

ここで、第 1、第 2、第 3 コンバータ部 2 0 1, 2 0 2, 2 0 3 における D C - D C 電力変換効率 ($\eta_{DC \rightarrow DC}$) は、9 5 % 程度である。

また、アクティブフィルタにおける A C - D C 電力変換効率 ($\eta_{AC \rightarrow DC}$) は、交流入力電圧 $V_{AC} = 1 0 0 V$ 時では、9 3 %、交流入力電圧 $V_{AC} = 2 3 0 V$ 時では 9 5 % となる。

15

従って、総合電力変換効率としては、交流入力電圧 $V_{AC} = 1 0 0 V$ 時では、

$$9 3 \% \times 9 5 \% = 8 8 . 3 \%$$

20 となる。また、交流入力電圧 $V_{AC} = 2 3 0 V$ 時では、

$$9 5 \% \times 9 5 \% = 9 0 . 2 \%$$

となる。

また、これに対応して、交流入力電力は、交流入力電圧 $V_{AC} = 1 0 0 V$ 時では 6 7 9 . 5 W、交流入力電力 2 3 0 V 時では、6 6 5 . 2 W

25 となる。

つまり、交流入力電圧 $V_{AC} = 230\text{ V}$ (AC 100 V系) 時に対して、交流入力電圧 $V_{AC} = 100\text{ V}$ (AC 200 V系) 時には、アクティブフィルタ回路側における電力変換効率が低下して、総合効率が低下してしまう。

- 5 また、第 11 図に示す回路では、負荷電力 $P_o = 600\text{ W}$ 以上の条件のもとで、上記した電力変換効率の特性を下回ることが無いように、アクティブフィルタにおける AC-DC 電力変換効率 ($\eta_{AC \rightarrow DC}$) については、例えば交流入力電圧 $V_{AC} = 100\text{ V} \sim 230\text{ V}$ の範囲で、94%~97%で維持されるように設計する必要がある。

- 10 また、アクティブフィルタ回路 8 内では、昇圧型コンバータとしてのスイッチング動作が行われるが、このスイッチング動作は、 dv/di , di/dt によるもので、ハードスイッチング動作であることから、ノイズの発生レベルが非常に大きい。

- 15 また、アクティブフィルタの後段においては、3組の複合共振形コンバータと2組の降圧形コンバータを備えているので、これらのスイッチングノイズも無視できない程度に大きなものとなる。特に、降圧形コンバータはハードスイッチング動作であるから、スイッチングノイズ発生量は多い。これに対して、複合共振形コンバータはソフトスイッチング動作であり、ハードスイッチングコンバータと比較すればスイッチング
20 ノイズは小さいが、この場合には3組備えられているので、それだけ全体としてのノイズ量は増加することになる。このようなことから、比較的重度のノイズ抑制対策が必要となる。

- 25 そして、これらの必要性から、第 11 図に示す電源回路としては、先ず商用交流電源 AC を整流する整流回路系において、ブリッジ整流回路 D_{i1} , D_{i2} の2組を備えている。

また、アクティブフィルタ回路 8 内には、複数組のパワーチョークコイルを備える必要がある。さらに、スイッチングのための半導体素子については、複数組のスイッチング素子（トランジスタ、ダイオード等）を並列接続したうえで、これらが適正に駆動されるように駆動回路を付加する必要がある。そして、これらの半導体素子に対しては、大型の放熱板を取り付ける必要もある。

さらに、第 11 図に示す回路では、商用交流電源 AC のラインに対して、2 組のコモンモードチョークコイルと、3 組のアクロスコンデンサによるラインノイズフィルタを形成している。つまり、2 段以上のラインノイズフィルタが必要となっている。

また、整流出力ラインに対しては、1 組のチョークコイル LN と、3 組のフィルタコンデンサ CN から成るノーマルモードノイズフィルタ 4 を設けている。さらに、アクティブフィルタ回路 8 内においては、スイッチング素子に対して、RC スナバ回路を設けるなどの必要性も出てくる。特に、第 11 図の回路のように重負荷に対応する場合、RC スナバ回路を形成する抵抗は、セメント抵抗であり大型である。

このようにして、実際の回路としては、非常に多くの部品点数によるノイズ対策が必要であり、コストアップ及び電源回路基板の実装面積の大型化を招いている。

さらに、第 11 図に示すスイッチング電源回路では、3 種のスイッチングコンバータが混在しているということがいえる。つまり、アクティブフィルタ回路 8 における昇圧型コンバータ、第 1 ～ 第 3 コンバータ部 201 ～ 203 を形成する複合共振形コンバータ、第 1 コンバータ部 201 に付加される降圧形コンバータである。

この場合において、アクティブフィルタ回路 8 の昇圧型コンバータのスイッチング周波数は 50 KHz であるのに対して、第 1 ～ 第 3 コンバ

ータ部 201～203 における複合共振形コンバータのスイッチング周波数は 70 KHz～150 KHz の範囲となっている。さらに、第 1 コンバータ部 201 における降圧形コンバータは、例えば 100 KHz のスイッチング周波数となる。

- 5 このようにして、各スイッチングコンバータにおけるスイッチング周波数が異なる場合においては、1 次側と二次側のアース電位が干渉しあって、電源回路としての動作が不安定になりやすいという問題も有している。

- 10 また、第 11 図に示す電源回路においては、複合共振形コンバータとして、コンバータ部 201, 202, 203 の 3 つを備えた構成を採っている。これについては、第 12 図を参照して説明したように、この場合には、時点 t_1 , t_2 , t_3 の 3 段階で二次側直流出力電圧の立ち上げタイミングを制御しなければならないことに起因している。

- 15 つまり、立ち上げ信号は、コントロール IC 2 を起動させるためのもの（起動制御信号）として出力されるものである。従って、第 12 図に示した時点 t_1 , t_2 , t_3 に対応した二次側直流出力電圧の立ち上げシーケンスを実現するためには、これに応じて、立ち上げ信号 V_{t1} , V_{t2} , V_{t3} によりそれぞれ起動する 3 つのコントロール IC が必要であることになる。そこで、これら 3 つのコントロール IC 2 ごとに対応させて 3 つの複合共振形コンバータを備えることとし、要求される立ち上げシーケンスの順序に応じて、これら 3 つの複合共振形コンバータにより生成すべき二次側直流出力電圧を割り当てるようにしたものである。

- 25 しかしながら、上記のようにして二次側直流出力電圧を順次立ち上げていく構成では、立ち上げ信号の数に応じたコントロール IC が必要であることになり、従って、立ち上げ信号の数に応じたコンバータ部が必

要となる。つまり、二次側直流出力電圧の立ち上げシーケンスの段階数が増加するのに応じて、コンバータ部の数も増加させる必要が生じるということを意味する。

- これは、二次側直流出力電圧の立ち上げシーケンスの段階数の増加に
- 5 対応させようとする、そのためだけにコンバータ部の数が増加してしまい、結果、コントロール IC や絶縁コンバータトランス P I T、スイッチング素子などをはじめとして、コンバータ部を構成する部品が必要以上に増加していくことになるという不都合を招く。このようなコンバータ部の数の増加は、電源回路基板の大型化、重量増加につながるため、
- 10 好ましいことではない。また、コンバータ部が増加することで、一次側スイッチング素子のスイッチング損失もその分増加することになるので、電力変換効率的にも不利である。

発明の開示

- 15 そこで本発明は上記した課題を考慮して、スイッチング電源回路として次のように構成することとした。

- つまり、本発明のスイッチング電源回路は、商用交流電源を入力して整流平滑電圧を生成するものとされ、入力される商用交流電源のレベルに応じて、商用交流電源レベルの等倍に対応するレベルの整流平滑電圧
- 20 を生成する等倍電圧整流動作と、商用交流電源レベルの 2 倍に対応するレベルの上記整流平滑電圧を生成する倍電圧整流動作とで切り換えが行われる整流平滑手段と、整流平滑電圧を直流入力電圧として入力して動作するスイッチングコンバータ部を複数備える。

- そして、複数のスイッチングコンバータ部の各々は、直流入力電圧を
- 25 入力してスイッチング動作を行うものとされ、ハイサイドのスイッチング素子と、ローサイドのスイッチング素子とをハーフブリッジ結合して

形成されるスイッチング手段と、各スイッチング素子をスイッチング駆動するスイッチング駆動手段を備える。

- また、少なくとも、スイッチング手段のスイッチング動作により得られるスイッチング出力が供給される一次巻線と、この一次巻線に得られたスイッチング出力としての交番電圧が励起される二次巻線とを巻装し、
- 5 形成される絶縁コンバータトランスとを備える。

- また、少なくとも、絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、一次巻線に直列接続された一次側直列共振コンデンサのキャパシタンスとによって形成され、スイッチング手段の動作を電流
- 10 共振形とする一次側直列共振回路と、各ハーフブリッジ回路を形成する2つのスイッチング素子のうち、一方のスイッチング素子に対して並列接続された部分電圧共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記各スイッチング素子がターンオン及びターンオフするタイミングに
- 15 応じてのみ電圧共振動作が得られる一次側部分電圧共振回路とを備える。

また、絶縁コンバータトランスの二次巻線に得られる交番電圧を入力して、整流動作を行うことで複数の二次側直流出力電圧を生成するように構成された直流出力電圧生成手段を備える。

- また、複数の二次側直流出力電圧のうち、所要の1つの二次側直流出力電圧のレベルに応じてスイッチング駆動手段を制御して、スイッチング手段のスイッチング周波数を可変することで、所要の1つの二次側直流出力電圧に対する定電圧制御を行うように構成された周波数制御型定電圧制御手段を備える。
- 20

- また、周波数制御型定電圧制御手段により定電圧制御される以外の、
- 25 定電圧化を必要とする所要の二次側直流出力電圧ごとに対応して設けられるもので、制御巻線と被制御巻線が巻装された可飽和リアクトルとし

ての制御トランスの被制御巻線を、二次側直流出力電圧を生成するための二次側整流電流経路に挿入し、入力された二次側直流出力電圧レベルに応じて、制御巻線に流すべき制御電流レベルを可変して被制御巻線のインダクタンスを可変することで、この二次側直流出力電圧に対する定電圧制御を行うように構成されたインダクタンス制御型定電圧制御手段を備える。

また、所定の二次側直流出力電圧が立ち上がったとされるときから所定時間経過したタイミングで、他の所定の二次側直流出力電圧を生成するための二次側整流電流経路をオフ状態からオン状態に切り換えるように動作するスイッチ手段を備える。

また、力率を改善する力率改善回路を備え、この力率改善回路は、一次側直列共振回路に対して直列に挿入される力率改善用一次巻線と、整流平滑手段として形成される整流電流経路に挿入される力率改善用二次巻線とを巻装し、これら力率改善用一次巻線と力率改善用二次巻線とが疎結合となるようにして構成される力率改善用トランスと、整流電流経路の所要部位に挿入され、力率改善用一次巻線によって力率改善用二次巻線に励起された交番電圧に基づいてスイッチング動作を行うことで整流電流を断続する整流ダイオード素子と、を備えて形成することとした。

上記構成による本発明のスイッチング電源回路は、重負荷の条件に対応するのにあたって、整流平滑電圧（直流入力電圧）を入力して動作するスイッチングコンバータ部を複数備えるようにされる。

そして、各スイッチングコンバータ部としては、ハーフブリッジ結合方式による電流共振形コンバータに対して、部分電圧共振回路を組み合わせた構成を採っていることになる。

また、力率改善は、疎結合による力率改善用トランスによって、複合共振形コンバータのスイッチング出力を整流電流経路に電圧帰還して、

整流ダイオードにより整流電流を断続し、これにより交流入力電流の導通角を拡大して力率改善を図る構成が採られる。

- そして、ワイドレンジ対応とするのにあたっては、整流平滑電圧（直流入力電圧）を生成する整流平滑手段について、商用交流電源レベルに
- 5 応じて等倍電圧整流動作と倍電圧整流動作とで整流動作の切り換えが行われるように構成する。

- これにより、例えば力率改善回路を備える電源回路としてワイドレンジ対応の構成とするのにあたっては、スイッチングコンバータへの直流入力電圧の安定化を図るアクティブフィルタを備える必要は無いことと
- 10 なる。

- また、スイッチ手段によっては、二次側整流電流経路をオフ状態からオン状態に切り換えるようにされるが、この動作は、その二次側整流電流経路により生成される二次側直流出力電圧を0レベルの状態から規定レベルに立ち上げる動作となる。そして、この二次側整流電流経路をオ
- 15 フ状態からオン状態に切り換える動作は、複数の二次側直流出力電圧のうちで、所定の二次側直流出力電圧が立ち上がったとされるときから所定時間経過したタイミングで行われるようにされる。つまり、複数の二次側直流電圧について、立ち上げタイミングをコントロールしながら、順次立ち上げていくことが可能とされる。

- 20 このことから本発明は、力率改善機能を備えるワイドレンジ対応のスイッチング電源回路として、アクティブフィルタを備えない構成を採る。これにより、例えばアクティブフィルタによって力率改善を図る場合よりも電力変換効率が向上されるという効果を有することになる。

- また、本発明のスイッチング電源回路としては、アクティブフィルタ
- 25 を構成するための多数の部品素子が不要となる。また、電源回路を構成する電流共振形コンバータ、及び力率改善回路はソフトスイッチング動

作であり、スイッチングノイズが大幅に低減されるから、ノイズフィルタを強化する必要もなくなる。

このために、先行技術と比較しては、部品点数が大幅に削減されることになって、電源回路サイズの小型／軽量化を図ることが可能となる。

5 また、それだけコストダウンが図られることにもなる。

特に本発明によるスイッチング電源回路は、重負荷の条件に対応するものであるが、重負荷に対応するアクティブフィルタは、さらに多くの部品を必要とするから、本発明によりアクティブフィルタが省略されることによる、回路の小型軽量化とコストダウンの効果は、非常に有効な
10 ものとなる。

さらには、アクティブフィルタが省略されたことで、一次側と二次側のアース電位の干渉が少なくなるので、アース電位が安定することとなって、信頼性が向上する。

また、先行技術としては、複数の二次側直流出力電圧について規定される立ち上げシーケンスを実現するのに、各スイッチングコンバータ部の
15 コントロール IC（スイッチング駆動手段）を立ち上げ信号により起動させる構成としていた。このために、二次側直流出力電圧を立ち上げるべき段階数、つまり、立ち上げ信号（起動制御信号）の数に応じたスイッチングコンバータ部を備える必要が生じていた。

20 これに対して本発明では、スイッチ手段を備えて、複数の二次側直流電圧について立ち上げタイミングをコントロールしながら順次立ち上げていくことを可能としている。これによって、二次側直流出力電圧を立ち上げるべき段階数に応じた数のスイッチングコンバータ部を備える必要はないこととなり、必要に応じて、スイッチングコンバータ部の数を
25 従来よりも削減することができる。これによっても、部品素子数の削減と、これに伴う小型軽量化、及びコスト削減が図られるとともに、スイ

スイッチングコンバータ部の数が削減された分によるスイッチング損失の低減も図られることになる。

図面の簡単な説明

5 第1図は、本発明の実施の形態としてのプラズマディスプレイ装置の構成例を示すブロック図である。

第2図は、本発明の第1の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

10 第3図は、実施の形態のコントロールICによるスイッチング素子の駆動タイミングを示す波形図である。

第4図は、疎結合トランスの構造例を示す断面図である。

第5図は、第1の実施の形態における二次側直流出力電圧の立ち上げ制御を示すタイミングチャートである。

15 第6図は、本発明の第2の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

第7図は、第2の実施の形態における二次側直流出力電圧の立ち上げ制御を示すタイミングチャートである。

第8図は、先行技術として、アクティブフィルタの基本的回路構成を示す回路図である。

20 第9図は、第11図に示すアクティブフィルタにおける動作を示す波形図である。

第10図は、アクティブフィルタのコントロール回路系の構成を示す回路図である。

25 第11図は、先行技術として、アクティブフィルタを実装した電源回路の構成例を示す回路図である。

第 1 2 図は、第 1 1 図に示す電源回路における、二次側直流出力電圧の立ち上げ制御を示すタイミングチャートである。

発明を実施するための最良の形態

- 5 第 1 図は、本発明の実施の形態としてのスイッチング電源回路を搭載して構成される、プラズマディスプレイ装置の内部構成例について、電源部と機能回路部との関係により示している。

- 電源部と機能回路部との関係の観点からすると、第 1 図に示す実施の形態としてのプラズマディスプレイ装置 1 0 は、スイッチング電源部 1 10 1, プラズマディスプレイパネル部 1 2、テレビジョン受像機能部 1 3 により構成されるものとして捉えることができる。

- スイッチング電源部 1 1 は、図示するようにして、商用交流電源 AC を入力して後述するようにしてスイッチング動作を行うことで、プラズマディスプレイパネル部 1 2 及びテレビジョン受像機能部 1 3 のための動作電源として、所定の負荷条件に応じた直流電圧 E_0 , E_{01} , E_{02} , E_{03} , E_{04} , E_{05} を出力するようにされている。

- ちなみに、このスイッチング電源部 1 1 は、第 2 図、第 6 図により後述する、本実施の形態としてのスイッチング電源回路に相当するものであり、直流電源電圧 E_0 , E_{01} , E_{02} , E_{03} , E_{04} , E_{05} は、実施の形態としてのスイッチング電源回路の二次側にて二次側直流出力電圧として得られるものである。従って、この第 1 図に示すブロック構成は、後述する第 1 及び第 2 の実施の形態に対して共通な構成となる。

プラズマディスプレイパネル部 1 2 は、プラズマディスプレイとしての表示デバイスを備えて画像表示を行うための部位とされる。

- 25 プラズマディスプレイの表示原理としては、周知のようにして、例えば 2 枚のガラス基板を対向させることで形成して空間内にガスを封入し

たうえて、このガス内に対して電圧を印加して真空放電を起こさせる。これにより、ガラス基板の空間内においては、ガスが電離してプラズマ状態となり紫外線が放射される。ここで、ガラス基板間の空間内に蛍光体層を形成しておくこと、この蛍光体層では、上記紫外線が照射されること

5 とで、所定色の可視光を放射する。このような蛍光体としてR、G、Bの3色に対応するものを形成しておき、例えばマトリクス状に形成した表示セルごとに上記した放電発光現象が得られるようにすることで、カラー画像表示が可能となる。

また、上記したようなプラズマディスプレイ装置を表示駆動する方式

10 としては、サブフィールド方式が知られている。

サブフィールド方式は、1フィールドを、複数のサブフィールドに分割して、各サブフィールドごとに、表示セルの発光期間を制御することで、各表示セルの階調（輝度）を表現する駆動方式である。また、このようにして表示セルを発光駆動させるのにあたっては、各サブフィールド

15 ド期間において、ライン走査を行うごとにデータ線を駆動して発光させるべき表示セルを設定した上で、サスティンパルスの印加を行うようにされる。そして、この際、1画素を形成するR、G、Bの各表示セルの階調を制御することで、画面全体の階調バランスだけではなく、1画素ごとの色再現が行われることになる。つまり、カラー画像の表現が可能

20 となる。

そして、プラズマディスプレイパネル部12の内部構造例としては、上記表示セルが配置される表示パネル部と、サブフィールド方式による表示を行うために画像データに応じてデータ線を駆動するデータ駆動回路と、サスティンパルスを印加するためのサスティンパルス用駆動回路

25 を備える。また、プラズマディスプレイパネル部12としての動作制御を実行する制御部から成る。この制御部は、プラズマディスプレイパネ

ル部 1 2 における画像表示動作についての各種制御を実行する。例えば
入力される画像データに応じてどのようなサブフィールドパターンとす
るのかを決定し、また、決定したサブフィールドパターンに基づいて、
データ駆動回路及びサスティンパルス用駆動回路の駆動動作を制御する
5 ようにもされる。また、周知のようにして、プラズマディスプレイ装置
では、表示画像品質の向上や低消費電力化を目的として、P L E (Peak
Luminance Enhancement) 制御という輝度制御を実行するようにされて
いるが、このP L E 制御のための演算処理なども実行するようにされる。

この場合のプラズマディスプレイ装置 1 0 は、テレビジョン放送を受
10 信表示するテレビジョン受像機としての機能も有している。つまり、受
信した放送波から目的とするチャンネルを選局して映像信号／音声信号
を復調する機能である。テレビジョン受像機能部 1 3 は、このための機
能回路部である。

そこで、テレビジョン受像機能部 1 3 としては、所定種類の放送波
15 (例えば地上波であるとか、衛星放送であるとかの種別となる) を受信
選局するチューナ (フロントエンド) と、チューナにより受信選局され
た信号から映像信号／音声信号を復調するデコーダ等を備えて構成され
ることになる。

テレビジョン受像機能部 1 3 において復調処理を行って得た映像信号
20 は、映像信号データに変換したうえでプラズマディスプレイパネル部 1
2 に入力する。これにより、プラズマディスプレイパネル部 1 2 では、
テレビジョン放送についての画像表示が行われることになる。また、復
調された音声信号は、同じテレビジョン受像機能部 1 3 において備えら
れているとされる音声信号出力回路系に入力されることで、例えばスピー
25 ーカなどから音声として出力するようにされる。

そして、この場合において、スイッチング電源部 11 からは、先にも説明したようにして、6つの直流電源電圧 E_0 , E_{01} , E_{02} , E_{03} , E_{04} , E_{05} が得られるが、これらの直流電圧は、次のような負荷条件に対応する電源電圧として利用される。

- 5 先ず、これら6つの直流電源電圧 E_0 , E_{01} , E_{02} , E_{03} , E_{04} , E_{05} のうち、プラズマディスプレイパネル部 12 に供給されているのは直流電源電圧 E_0 , E_{04} , E_{05} となる。

10 直流電源電圧 E_0 はロジック電源といわれているもので、プラズマディスプレイパネル部 12 における制御回路としての IC などに供給されるべき電源となる。

また、直流電源電圧 E_{04} はデータ電源といわれ、データ線を駆動するためのデータ線駆動回路のために供給されるべき電源である。

- 15 直流電源電圧 E_{05} は、維持（サスティン）電源といわれるもので、前述したサスティンパルスを出力させるための電源として用いられる。つまり、直流電源電圧 E_{05} は、サスティンパルス用駆動回路のために供給されるべき電源となる。

- 20 そして、残る直流電源電圧 E_{01} , E_{02} , E_{03} がテレビジョン受像機能部 13 に供給されることになるが、直流電源電圧 E_{01} はアナログ IC ドライブ用電源といわれ、例えばチューナなどを備える IC (Integrated Circuit) などのための電源として供給されるものとなる。また、近年のテレビジョン受像機としては、例えば受信選局された信号の復調処理や各種の映像／音声信号処理について、デジタル信号処理により行うようになってきており、そのためのデジタルシグナルプロセッサなどのための IC を備える。テレビジョン受像機能部 13 としてもこの
25 ようなデジタル IC を備えており、直流電源電圧 E_{02} は、このデジ

タル IC に供給すべき電源となる。つまり、デジタル IC ドライブ用電源となる。

直流電源電圧 E_{o3} は、音声出力用電源といわれ、音声信号を出力すべき音声出力回路系に供給すべき電源となる。

- 5 第 2 図は、上記第 1 図に示したスイッチング電源部 11 に適用できるスイッチング電源回路として、本発明の第 1 の実施の形態となるスイッチング電源回路の構成例を示している。この図に示す電源回路は、先行技術として第 11 図に示した回路と同様に、負荷電力 $P_o = 600\text{ W}$ 以上に対応可能で、かつ、商用交流電源 AC 100 V 系と AC 200 V 系
10 とで動作するワイドレンジ対応としての構成を採る。

- つまり、本実施の形態としてのプラズマディスプレイ装置 10 は、例えば我が国や米国などの商用交流電源 AC 100 V 系の地域と、欧州などの AC 200 V 系の地域との、何れの地域においても動作が可能ないわゆるワールドワイド仕様とされる。また、プラズマディスプレイ装置
15 全体の電力仕様としては、総合で 600 W 以上とされる。

- この第 2 図に示す電源回路においては、商用交流電源 AC に対して、1 組のコモンモードチョークコイル CMC と、2 組のアクロスコンデンサ CL から成るラインノイズフィルタが備えられる。つまり、この場合には、コモンモードノイズを除去するラインノイズフィルタとしては 1
20 段のみが設けられる。

- また、このラインノイズフィルタの後段における商用交流電源 AC の正／負の各ラインに対しては、それぞれチョークコイル L_N 、 L_N が直列に挿入される。そして、チョークコイル L_N 、 L_N と、ブリッジ整流回路 Di の正極入力端子／負極入力端子との接続点間に対して、2 本の
25 並列接続されたフィルタコンデンサ $C_N // C_N$ が接続される。

これらチョークコイル L_N 、 L_N 及びフィルタコンデンサ $C_N//C_N$ によつては、ノーマルモードノイズフィルタ4が形成され、商用交流電源の整流電流経路に発生するノーマルモードノイズを抑制する。このノーマルモードノイズフィルタ4は、力率改善回路3の一部となる。

- 5 そして、本実施の形態の電源回路では、商用交流電源ACに対して、整流回路系を含んで形成される力率改善回路3が接続される構成を採る。この力率改善回路3は、図示するようにして、ブリッジ整流回路 D_i 、平滑コンデンサ C_{i1} 、 C_{i1} 、 C_{i2} 、 C_{i2} 、フィルタコンデンサ $C_N//C_N$ 、及び疎結合トランス（力率改善用トランス） $VFT-1$ 、 $VFT-2$ を備えて形成される。疎結合トランス $VFT-1$ は、第1コンバータ部101に対応して備えられ、疎結合トランス $VFT-2$ は、第2コンバータ部102に対応して備えられる。

- 15 ブリッジ整流回路 D_i の正極入力端子は、疎結合トランス $VFT-1$ 、 $VFT-2$ の各二次巻線 $YN12$ の並列接続回路を介して、商用交流電源ACの正極ラインと接続される。また、ブリッジ整流回路 D_i の負極入力端子は、商用交流電源ACの負極ラインと接続される。

- 20 ブリッジ整流回路 D_i の正極出力端子は、平滑コンデンサ C_{i1} 、 C_{i1} 、 C_{i2} 、 C_{i2} から成る平滑回路の正極側に接続される。また、ブリッジ整流回路 D_i の正極出力端子は、一次側アースと接続される。
- 20 この場合、平滑コンデンサ C_{i1} 、 C_{i1} 、 C_{i2} 、 C_{i2} から成る平滑回路としては次のようにして形成されている。つまり、2組の平滑コンデンサ $C_{i1}-C_{i2}$ の直列接続回路を並列に接続しているものである。

- 25 そして、並列接続関係にある平滑コンデンサ $C_{i1}//C_{i1}$ の各正極端子は、ブリッジ整流回路 D_i の正極出力端子と接続される。また、平滑コンデンサ $C_{i1}//C_{i1}$ の負極端子と、平滑コンデンサ $C_{i2}//C$

i 2 の正極端子との接続点は、リレースイッチ S を介して、ブリッジ整流回路 D i の負極入力端子に対して接続される。このリレースイッチ S は、整流回路切換モジュール 5 に接続されたリレー R L の駆動状態に応じて、オン／オフされる。

- 5 整流回路切換モジュール 5 は、リレー R L を駆動することで、上記のようにして形成される整流回路系の動作を A C 1 0 0 V 系と A C 2 0 0 V 系とで切り換えるために設けられる。このために、検出端子 T 1 4 には、商用交流電源 A C を、ダイオード D 10 及びコンデンサ C 10 により半波整流して得た直流電圧が、検出電圧として入力されるようになって
- 10 いる。検出端子 T 1 4 から入力される直流電圧レベルは、商用交流電源 A C （交流入力電圧 V A C）のレベルに応じた変化を示す。つまり、整流回路切換モジュール 5 は、整流平滑電圧 E i のレベルを検出することで、商用交流電源 A C のレベルを検出するようになっている。

- また、リレー駆動端子 T 1 2, T 1 3 間に対してはリレー R L が接続
- 15 される。なお、リレー R L は、自身の導通状態に応じて、リレースイッチ S をオン／オフ制御する。なお、ここでは、リレー R L が導通状態ではリレースイッチ S がオン、リレー R L が非導通状態ではリレースイッチ S がオフとなるようにされている。

- また、端子 T 1 5 は、整流回路切換モジュール 5 のアースラインを一
- 20 次側アースに接地させるための端子である。

上記した構成による整流回路系の切り換え動作は次のようになる。

- 整流回路切換モジュール 5 では、検出端子 T 1 4 に入力される交流入力電圧 V A C のレベルと所定の基準電圧とを比較する。検出端子 T 1 4 に入力される電圧レベルは、交流入力電圧 V A C = 1 5 0 V 以上であるとき
- 25 には上記基準電圧以上となり、交流入力電圧 V A C が 1 5 0 V 以下で

あるときには上記基準電圧以下となる。つまり、基準電圧は、交流入力電圧 $V_{AC} = 150\text{ V}$ に対応したレベルとなっている。

そして、整流回路切換モジュール 5 では、入力された直流電圧のレベルが基準電圧以下であるときには、リレー RL をオンとし、基準電圧以上であるときには、リレー RL をオフとするように駆動する。

ここで、例えば $AC\ 200\text{ V}$ 系であるのに対応して、交流入力電圧 $V_{AC} = 150\text{ V}$ 以上に対応するレベルが入力されたとする。

この場合には、検出端子 $T\ 14$ に入力される電圧レベルが基準電圧以上となるので、整流回路切換モジュール 5 は、リレー RL をオフとする。

これに応じて、リレースイッチ $S\ 1$ もオフ（オープン）となる。

リレースイッチ $S\ 1$ がオフの状態では、交流入力電圧 V_{AC} が正／負となる各期間において、交流入力電圧 V_{AC} をブリッジ整流回路 $D\ i$ により整流して、2組の直列接続された平滑コンデンサ $[C\ i1 - C\ i2] // [C\ i1 - C\ i2]$ の並列回路に整流電流を充電する動作が得られる。

これは、通常のブリッジ整流回路を備えた全波整流回路による整流動作となる。これにより、平滑コンデンサ $[C\ i1 - C\ i2] // [C\ i1 - C\ i2]$ から成る平滑回路の両端電圧として、交流入力電圧 V_{AC} の等倍に対応する整流平滑電圧 $E\ i$ が得られる。

これに対して、 $AC\ 100\text{ V}$ 系であるのに対応して、交流入力電圧 $V_{AC} = 150\text{ V}$ 以下に対応するレベルの整流平滑電圧 $E\ i$ が発生したとする。

この場合には、検出端子 $T\ 14$ に入力される電圧レベルが上記基準電圧以下となって、整流回路切換モジュール 5 はリレー RL をオンとするので、リレースイッチ $S\ 1$ はオン（クローズ）となるように制御される。

リレースイッチ $S\ 1$ がオンの状態では、交流入力電圧 V_{AC} が正の期間では、ブリッジ整流回路 $D\ i$ による整流出力が、平滑コンデンサ $C\ i$

1//C_{i1} の並列接続回路のみに充電される整流電流経路が形成される。一方、交流入力電圧V_{AC} が負の期間では、ブリッジ整流回路D_i による整流出力が、平滑コンデンサC_{i2}//C_{i2} の並列接続回路のみに充電される整流電流経路が形成される。

- 5 このようにして整流動作が行われる結果、平滑コンデンサC_{i1}//C_{i1}, C_{i2}//C_{i2} の各並列接続回路の両端電圧として、交流入力電圧V_{AC} の等倍に対応したレベルが生じることになる。従って、平滑コンデンサC_{i1}//C_{i1}, C_{i2}//C_{i2} の各並列接続回路を直列に接続した、平滑回路全体としての両端電圧である整流平滑電圧E_i としては、
- 10 交流入力電圧V_{AC} の2 倍に対応するレベルが得られる。つまり、いわゆる倍電圧整流回路が形成されるものである。

- このようにして、第2 図に示す回路では、商用交流電源AC 100 V 系の場合には、倍電圧整流動作により、交流入力電圧V_{AC} の2 倍に対応する整流平滑電圧E_i を生成し、商用交流電源AC 200 V 系の場合
- 15 には、例えば全波整流回路による等倍電圧整流動作によって、交流入力電圧V_{AC} の等倍に対応する整流平滑電圧E_i を生成する。つまり、商用交流電源AC 100 V 系の場合と、AC 200 V 系の場合とで、結果的に同等レベルの整流平滑電圧E_i が得られるようにしており、これによって、ワイドレンジ対応としているものである。そして、この整流平
- 20 滑電圧E_i は、後段のスイッチングコンバータに対して、直流入力電圧として入力される。

なお、単に倍電圧整流動作と全波整流動作の切り換えを行うのであれば、例えば1 組の平滑コンデンサC_{i1}－C_{i2} の並列接続回路によっても可能である。

- 25 本実施の形態において、この平滑コンデンサC_{i1}－C_{i2} の並列接続回路を2 組並列に接続しているのは、本実施の形態の電源回路が負荷

電力 $P_o = 600\text{ W}$ 以上という重負荷の条件に対応することによる。重負荷の条件になるほど、整流回路系において平滑回路を形成するコンデンサに流入する電流は増加する。そこで、本実施の形態のようにして、平滑コンデンサを並列接続すれば平滑コンデンサに流れる整流電流は分岐することになる。つまり、1つの平滑コンデンサに流れる電流レベルが抑制されることとなって、平滑コンデンサにかかる負担が軽減される。

なお、このような整流回路系を含んで形成される本実施の形態の力率改善回路 3 による力率改善動作については後述する。

第 2 図に示す回路において、上記した平滑回路（平滑コンデンサ $[C_{i1} - C_{i2}] //$ $[C_{i1} - C_{i2}]$ ）の両端電圧として得られる直流入力電圧（整流平滑電圧 E_i ）を入力して動作するスイッチングコンバータとしては、図示するようにして第 1 コンバータ部 101、第 2 コンバータ部 102 の 2 つが備えられる。これら第 1 コンバータ部 101、第 2 コンバータ部 102 は、直流入力電圧（整流平滑電圧 E_i ）に対して並列となるようにして接続される。

また、これら第 1 コンバータ部 101、第 2 コンバータ部 102 は、それぞれ他励式のハーフブリッジ方式による電流共振形コンバータに対して、一次側部分電圧共振回路を備えた複合共振形コンバータとしての構成を採る。また、第 1 コンバータ部 101、第 2 コンバータ部 102 は、それぞれ、電圧帰還方式による力率改善回路 3 を形成する疎結合トランス $VFT-1$ 、 $VFT-2$ を備えることで力率改善を図るようにも構成される。

ここで、第 1 コンバータ部 101 の構成について説明する。

この第 1 コンバータ部 101 は、上記もしているように、電流共振形コンバータとしての基本構成を採る。そして、ここでは、図示するようにして、MOS-FET による 2 本のスイッチング素子 $Q1$ （ハイサイ

ド), Q2 (ローサイド) をハーフブリッジ結合により接続している。
このスイッチング素子Q1, Q2 のハーフブリッジ結合による回路は、
整流平滑電圧E_i に対して並列に接続される。

また、スイッチング素子Q1, Q2 の各ドレイン-ソース間に対して
5 は、図示する方向により、それぞれダンパダイオードDD1, DD2 を
並列に接続している。

また、スイッチング素子Q2 のドレイン-ソース間に対しては、部分
共振コンデンサC_p が並列に接続される。この部分共振コンデンサC_p
のキャパシタンスと一次巻線N1 のリーケージインダクタンスL₁ によ
10 っては並列共振回路 (部分電圧共振回路) を形成する。そして、スイッ
チング素子Q1, Q2 のターンオフ時にのみ電圧共振する、部分電圧共
振動作が得られるようになっている。

コントロールIC2 は、電流共振形コンバータを他励式により駆動す
るための発振回路、制御回路、及び保護回路等を備えて構成されるもの
15 で、内部にバイポーラトランジスタを備えた汎用のアナログIC
(Integrated Circuit) とされる。このコントロールIC2 は、電源
入力端子V_{cc} に入力される直流電圧により動作する。この場合には、
整流平滑電圧E_i が抵抗R_s を介して電源入力端子V_{cc} に入力されて
いる。

20 また、このコントロールIC2 は、アース端子Eにより一次側アース
に接地させるようにしている。

そして、コントロールIC2 においては、スイッチング素子に対して
ドライブ信号 (ゲート電圧) を出力するための端子として、2つのドラ
イブ信号出力端子V_{GH}, V_{GL} が備えられる。

25 ドライブ信号出力端子V_{GH} からは、ハイサイドのスイッチング素子
をスイッチング駆動するためのドライブ信号が出力され、ドライブ信号

出力端子VGLからは、ローサイドのスイッチング素子をスイッチング駆動するためのドライブ信号が出力される。

そして、この場合には、ドライブ信号出力端子VGHから出力されるドライブ信号は、ハイサイドのスイッチング素子Q1のゲートに印加される。また、ドライブ信号出力端子VGLから出力されるドライブ信号は、ローサイドのスイッチング素子Q2のゲートに印加される。

また、この図では図示を省略しているが、コントロールIC2に対しては、外付けの回路として、1組のブートストラップ回路が備えられる。このブートストラップ回路によりドライブ信号出力端子VGHから出力されるハイサイド用のドライブ信号は、ハイサイドのスイッチング素子Q1を適正にドライブ可能なレベルとなるように、レベルシフトされる。

コントロールIC2では、内部の発振回路により所要の周波数の発振信号を生成する。なお、この発振回路は、後述するようにして制御回路1から端子Vcに入力される制御出力のレベルに応じて、発振信号の周波数を可変するようにされている。

そして、コントロールIC2では、上記発振回路にて生成された発振信号を利用して、ハイサイド用のドライブ信号と、ローサイド用のドライブ信号を生成する。そして、ハイサイド用のドライブ信号をドライブ信号出力端子VGHから出力し、ローサイド用のドライブ信号をドライブ信号出力端子VGLから出力するようにされる。

上記説明によると、スイッチング素子Q1に対しては、ドライブ信号出力端子VGHから出力されるハイサイド用のドライブ信号が印加される。これによって、スイッチング素子Q1のゲート-ソース間電圧VGH1としては、このハイサイド用のドライブ信号に対応した波形が得られることになる。

つまり、第3図(a)に示すようにして、1スイッチング周期内において、正極性による矩形波のパルスが発生する期間と、0Vとなる期間が得られることになる。

そして、この第3図(a)に示されるゲートソース間電圧 V_{GH1} によって、スイッチング素子 $Q1$ は、先ず、1スイッチング周期内において、正極性の矩形波パルスが得られるタイミングでオン状態となるようにされる。つまり、スイッチング素子 $Q1$ がオンとなるには、ゲート閾値電圧($\approx 5V$)以上の適切なレベルの電圧が印加されることが必要である。上記正極性のパルスとしてのゲートソース間電圧 V_{GH1} は10Vとなるように設定されているから、この正極性のパルスが印加される期間に対応してオンとなる状態が得られることになる。そして、ゲートソース間電圧 V_{GH1} が0Vでゲート閾値電圧以下となると、オフ状態に切り換わることになる。このようなタイミングにより、スイッチング素子 $Q1$ は、オン/オフするようにしてスイッチング動作を行うことになる。

一方、スイッチング素子 $Q2$ に対しては、ドライブ信号出力端子 V_{GL} から出力されるローサイド用のドライブ信号が印加されるようになっている。このドライブ信号に応じては、第3図(b)に示す波形によるスイッチング素子 $Q2$ のゲートソース間電圧 V_{GL1} が得られる。

つまり、ゲートソース間電圧 V_{GL1} は、第3図(a)に示したスイッチング素子 $Q1$ のゲートソース間電圧 V_{GH1} と同じ波形とされたうえで、タイミングとしては、ゲートソース間電圧 V_{GH1} に対して 180° の位相差を有した波形が得られているものである。このことから、スイッチング素子 $Q2$ は、スイッチング素子 $Q1$ と交互にオン/オフするタイミングによりスイッチング駆動されることになる。

また、第3図(a)(b)によると、スイッチング素子Q1がターンオフしてスイッチング素子Q2がターンオンするまでの間と、スイッチング素子Q2がターンオフして、スイッチング素子Q1がターンオンするまでの間には期間 t_d が形成されるようになっている。

- 5 この期間 t_d は、スイッチング素子Q1, Q2が共にオフとなるデッドタイムである。このデッドタイムとしての期間 t_d は、部分電圧共振動作として、スイッチング素子Q1, Q2がターンオン/ターンオフするタイミングでの短時間において、部分共振コンデンサ C_p における充放電の動作が確実に得られるようにすることを目的として形成している。
- 10 そして、このような期間 t_d としての時間長は、例えばコントロールIC2側で設定することができるようになっており、コントロールIC2では、設定された時間長による期間 t_d が形成されるように、ドライブ信号出力端子VGH, VGLから出力すべきドライブ信号についてのパルス幅のデューティ比を可変する。

- 15 絶縁コンバートランスPIT-1はスイッチング素子Q1, Q2のスイッチング出力を二次側に伝送するものであり、一次巻線N1と、所要数の二次巻線が巻装される。

- 絶縁トランスPIT-1の一次巻線N1の一端は、この場合、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点
- 20 (スイッチング出力点)に対して、一次側直列共振コンデンサC1と疎結合トランスVFT-1の一次巻線N11の直列接続を介して接続される。また、他端は、一次側アースに接続される。

- ここで、上記直列共振コンデンサC1のキャパシタンスと、一次巻線N1を含む絶縁コンバートランスPIT-1のリーケージインダクタ
- 25 ンスL1によっては、一次側直列共振回路が形成される。そして、上記のようにして、この一次側直列共振回路がスイッチング出力点に対して

接続されていることで、スイッチング素子 Q1, Q2 のスイッチング出力が一次側直列共振回路に伝達されることになる。一次側直列共振回路では伝達されたスイッチング出力に応じて共振動作するが、これによって、一次側スイッチングコンバータの動作を電流共振形とする。

- 5 上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路 (L1-C1) による電流共振形としての動作と、前述した部分電圧共振回路 (Cp//L1) とによる部分電圧共振動作とが得られることになる。

- 10 つまり、この図に示す第1コンバータ部 101 は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた複合共振形コンバータとしての構成を採っている。

- 15 ここでの図示による説明は省略するが、絶縁コンバータトランス P I T-1 の構造としては、例えばフェライト材による E 型コアを組み合わせた E E 型コアを備える。そして、一次側と二次側とで巻装部位を分割したうえで、一次巻線 N1 と、二次巻線を E E 型コアの中央磁脚に対して巻装している。

この場合の絶縁コンバータトランス P I T においては、二次巻線 N2, N2A, N2B の 3 つの二次巻線がそれぞれ独立するようにして巻装される。

- 20 先ず、二次巻線 N2 からは、二次側直流出力電圧 E0, E01, E02 を生成するようにされており、このうち、二次側直流出力電圧 E0 を生成するための回路系は次のようになる。

- 25 つまり、二次巻線 N2 に形成したタップ出力を二次側アースに接地させた上で、このタップ出力をセンター位置とした所定の巻数分の位置から、1 つずつ両端タップを引き出す。そして、各両端タップに対して、直交型制御トランス P R T-1 の被制御巻線 NR1, NR2 の直列接続を

介して整流ダイオード D_{o1} 、 D_{o2} を接続し、また、平滑コンデンサ C_o を接続することで、両波整流回路を形成する。この両波整流回路によって、平滑コンデンサ C_o の両端電圧として二次側直流出力電圧 E_o が得られる。

- 5 ここで、二次側直流出力電圧 E_o は、安定化のために、分岐して制御回路 7 に対して入力される。

直交型制御トランス $PRT-1$ は、例えば制御巻線 N_c に対して、被制御巻線 $NR1$ 、 $NR2$ の巻方向が直交する関係となるようにして、制御巻線 N_c 及び制御巻線 $NR1$ 、 $NR2$ をコアに巻装して構成される。この
10 ようにして構成される直交型制御トランス $PRT-1$ は、可飽和リアクトルとなる。

この場合の制御回路 7 では、二次側直流出力電圧 E_o のレベルに応じて、そのレベルを可変した直流電流を制御電流として出力する。この制御電流レベルの変化に応じて、可飽和リアクトルである直交型制御ト
15 ランス $PRT-1$ では、被制御巻線 $NR1$ 、 $NR2$ のインダクタンスが可変される。被制御巻線 $NR1$ 、 $NR2$ は、二次側直流出力電圧 E_o のための整流回路系において直列に挿入されているので、被制御巻線 $NR1$ 、 $NR2$ のインダクタンスが変化すれば、平滑コンデンサ C_o に流入する整流電流量が変化することになって、二次側直流出力電圧 E_o のレベルが
20 変化することになる。このようにして、二次側直流出力電圧 E_o のレベルを可変制御することで定電圧制御が行われることになる。

また、二次側直流出力電圧 E_{o1} のための整流回路系は、図示するようにして、二次巻線 $N2$ の一方の端部から引き出したラインに対して、直交型制御トランス $PRT-2$ の被制御巻線 NR —整流ダイオード D_{o3}
25 を直列接続するとともに、平滑コンデンサ C_{o1} を接続することで、半波整流回路として形成される。

そして、この二次側直流出力電圧 E_{o1} のための整流回路系においても、直交型制御トランス $PRT-2$ 及び制御回路 7 を備えることで、上述のようにして、二次側直流出力電圧 E_{o1} についての定電圧化が図られる。

- 5 また、二次側直流出力電圧 E_{o2} のための整流回路系も、二次巻線 $N2$ の他方の端部から引き出したラインに対して、直交型制御トランス $PRT-3$ の被制御巻線 NR —整流ダイオード D_{o4} を直列接続するとともに、平滑コンデンサ C_{o2} を接続することで、半波整流回路として形成される。

- 10 そして、この二次側直流出力電圧 E_{o2} のための整流回路系としても、直交型制御トランス $PRT-3$ 及び制御回路 7 を備えており、二次側直流出力電圧 E_{o2} についての定電圧化が図られる。

- 15 また、二次側直流出力電圧 E_{o3} は、二次巻線 $N2A$ に対して形成される両波整流回路によって得られるようになっている。この両波整流回路は、二次巻線 $N2A$ のセンタータップを 0 電位に接続した上で、整流ダイオード D_{o5} , D_{o6} 及び平滑コンデンサ C_{o3} から成る。

- 20 そして、両波整流回路に対しては、直交型制御トランス $PRT-4$ の被制御巻線 $NR1$, $NR2$ が図示するようにして直列に挿入され、制御回路 7 は二次側直流出力電圧 E_{o3} に応じたレベルの制御電流を直交型制御トランス $PRT-4$ の制御巻線 Nc に対して出力するようにされている。つまり、二次側直流出力電圧 E_{o3} についての定電圧化が図られるようになっている。

- 25 さらに、二次側直流出力電圧 E_{o4} については、二次巻線 $N2B$ に対して形成される両波整流回路によって得られるようになっている。この両波整流回路は、二次巻線 $N2B$ のセンタータップを二次側アースに接続するとともに、整流ダイオード D_{o7} , D_{o8} 及び平滑コンデンサ C_{o5} を

接続して、先ずは、直流電圧 E_4 を得るようにされ、この直流電圧 E_4 のラインと、平滑コンデンサ C_{06} の間に、DCスイッチ回路 6 のトランジスタ Q_5 を直列に挿入して形成される。二次側直流出力電圧 E_{04} は、平滑コンデンサ C_{06} の両端電圧として得られる。

- 5 この二次側直流出力電圧 E_{04} に対する安定化は、スイッチング周波数制御方式によって行われる。つまり、二次側直流出力電圧 E_{04} は分岐して、検出電圧として制御回路 1 に入力される。制御回路 1 では、二次側直流出力電圧 E_{04} のレベルに応じてそのレベルが可変された電圧又は電流を制御出力として、第 1 コンバータ部 101 内のコントロール
- 10 IC 2 の制御入力端子 V_c に供給する。このコントロール IC 2 では、制御入力端子 V_c に入力された制御出力に応じて、例えば発振信号の周波数を可変することで、ドライブ信号出力端子 V_{GH} , V_{GL} から出力すべきドライブ信号の周波数を可変する。これにより、スイッチング素子 Q_1 , Q_2 は、スイッチング周波数が可変制御されることになる。この
- 15 結果、二次側直流出力電圧 E_{04} のレベルが一定となるように定電圧制御が行われる。

- DCスイッチ回路（スイッチ手段）6 は、この図に示す電源回路が搭載される機器に備えられるマイクロコンピュータから出力される立ち上げ信号 V_{t3} に応じて、二次側直流出力電圧 E_{04} の立ち上げタイミ
- 20 グをコントロールするために設けられる。

- このDCスイッチ回路 6 は、図示するようにして、MOS-FET のトランジスタ Q_5 、バイポーラのトランジスタ Q_6 、ツェナーダイオード DZ 、及び抵抗 R_1 , R_2 , R_3 , R_4 を図示するようにして接続して形成される。つまり、トランジスタ Q_5 のドレインを平滑コンデンサ C_{05}
- 25 の正極端子と接続し、ソースを平滑コンデンサ C_{06} の正極端子と接続する。トランジスタ Q_5 のゲートは、抵抗 R_2 を介してトランジスタ Q

6のコレクタに接続される。また、トランジスタQ5のゲートドレイン間には、抵抗R1//ツェナーダイオードDZの並列回路が接続される。ここでは、ツェナーダイオードDZのアノードがトランジスタQ5のゲート側で、カソードがドレイン側となるようにされる。

- 5 トランジスタQ6のベースには抵抗R4を介した立ち上げ信号Vt3が、オン/オフ制御信号として入力されるようになっている。また、トランジスタQ6のベース-エミッタ間には、抵抗R3が挿入される。トランジスタQ6のエミッタは二次側アースに接続される。

- 後述もするように、立ち上げ信号Vt3は、LレベルとHレベルで切り換えが行われる信号である。立ち上げ信号Vt3がLレベル（0レベル）である場合、トランジスタQ6はオフ状態を維持するが、このときには、トランジスタQ5におけるゲート-ソース間電圧が閾値を満たさないことから、トランジスタQ5もオフとなる。このため、平滑コンデンサC05の正極端子と、平滑コンデンサC06の正極端子とは接続されないことになって、平滑コンデンサC06への整流電流の充電は行われ
10 ないことになる。このため、平滑コンデンサC05の両端に直流電圧E4が得られているとしても、平滑コンデンサC06の両端電圧である二次側直流出力電圧E04は0レベルのままである。
15

- これに対して、立ち上げ信号Vt3がHレベルに立ち上がって所定の
20 正極レベルが得られると、トランジスタQ6はオン状態に切り換わって、抵抗R2の両端に電位が生じる。これによって、ツェナーダイオードDZのアノードは、トランジスタQ6のコレクター-エミッタを介して二次側アースに対して接続されることとなって、直流電圧E4によって導通することになる。ツェナーダイオードDZが導通することによっては、
25 トランジスタQ5のゲートに対して閾値を満たすレベルのゲート電圧が印加されることになって、トランジスタQ5もオンとなる。これにより、

平滑コンデンサC05の正極端子と、平滑コンデンサC06の正極端子が接続されることとなって、平滑コンデンサC06で整流電流が充放電される。これにより、二次側直流出力電圧E04が発生することになる。

第2コンバータ部102は、ハーフブリッジ結合されたスイッチング素子Q3、Q4、クランプダイオードDD3、DD4、部分共振コンデンサCp、コントロールIC2、絶縁コンバータトランスPIT-2（一次巻線N1、二次巻線N2）、一次側直列共振コンデンサC1、疎結合トランスVFT-2、第1コンバータ部101と同様にして接続している。これにより、一次側スイッチングコンバータとしては、他励式のハーフブリッジ結合方式による電流共振形コンバータと、部分電圧共振回路を備えた複合共振形コンバータを形成している。

また、第2コンバータ部102の二次側においては、絶縁コンバータトランスPIT-2の二次巻線N2に設けたセンタータップを二次側アースに接地したうえで、図示するようにして、整流ダイオードD09、D010、ノイズ除去用抵抗R5、平滑コンデンサC07及びC08を接続することで両波整流回路を形成している。そして、この両波整流回路による整流動作により、平滑コンデンサC08の両端電圧として、二次側直流出力電圧E05が得られることになる。

この二次側直流出力電圧E05に対する定電圧制御は、制御回路1を備えていることから分かるように、一次側スイッチングコンバータのスイッチング周波数を制御するスイッチング周波数制御方式により行われる。

続いて、上記のようにして構成される第2図に示す電源回路における力率改善のための構成について説明する。

この図に示す回路においては、力率改善のために力率改善回路3が備えられる。この力率改善回路3は、商用交流電源ACを整流平滑化する

整流回路系に対して、一次側スイッチングコンバータのスイッチング出力を電圧帰還する構成を採る。そして、この場合においては、スイッチング出力を電圧帰還するための手段として、疎結合トランスVFT-1、VFT-2を備える。

- 5 ここで、疎結合トランスVFT（VFT-1、VFT-2）の構造例を第4図に示しておく。

この図に示すように、疎結合トランスVFTは、フェライト材によるE型コアCR1、CR2を互いの磁脚が対向するように組み合わせたEE型コアを備える。

- 10 そして、一次側と二次側の巻装部について相互に独立するようにして分割した形状により、例えば樹脂などによって形成される、ボビンBが備えられる。このボビンBの一方の巻装部に対して一次巻線N11が巻装される。また、他方の巻装部に対して二次巻線N12が巻装される。
- 15 このようにして一次巻線及び二次巻線が巻装されたボビンBを上記EE型コア（CR1、CR2）に取り付けることで、一次側巻線及び二次側巻線とがそれぞれ異なる巻装領域により、EE型コアの中央磁脚に巻装される状態となる。このようにして疎結合トランスVFT全体としての構造が得られる。

- 20 また、この場合には、中央磁脚の接合部分に対して所要のギャップ長のギャップGを形成するようにしており、これにより、結合係数について0.75以下となる疎結合の状態が得られるようにしている。

そして、力率改善回路3による力率改善動作としては次のようになる。

先ず、説明を分かりやすくするため、第1コンバータ部101側のみによる力率改善動作について述べる。

- 25 第1コンバータ部101に備えられる疎結合トランスVFT-1においては、一次巻線N11に対して、第1コンバータ部101における一

次側スイッチングコンバータのスイッチング出力が伝達される。これに応じて、疎結合トランスVFT-1の二次巻線N12には、交番電圧が励起されることになる。

ここで、疎結合トランスVFT-1の二次巻線N12は、商用交流電源ACの正極ラインにおいて、チョークコイルLNとブリッジ整流回路Diの正極入力端子との間に挿入されている。つまり、疎結合トランスVFT-1の二次巻線N12は整流電流経路に挿入されていることになる。疎結合トランスVFT-1によっては、一次側スイッチングコンバータのスイッチング出力を整流電流経路に電圧帰還する動作が得られることになる。

上記のようにして整流電流経路に対してスイッチング出力が電圧帰還されることで、ブリッジ整流回路Diを形成する高速リカバリ型の整流ダイオード(Da~Dd)に整流電流が流れるとき、これらの整流ダイオードでは、疎結合トランスVFT-1の二次巻線N12に励起された交番電圧によって、スイッチング動作を行う駆動される。これにより、整流ダイオードに流れる整流電流は断続されることになり、整流電流としては交番波形となる。つまり、交流入力電流IACを源として流れる整流電流について高周波成分が重畳される。

そして、上記した整流電流における高周波成分は、先ず、商用交流電源ACが200V系とされて全波整流回路が形成されている場合には、次のようにして流れる。

交流入力電圧VACが正の期間内では、フィルタコンデンサCNから商用交流電源ACの正極ラインを介して、二次巻線N12→ブリッジ整流回路Diの整流ダイオードDa→平滑コンデンサ[Ci1//Ci1]→[Ci2//Ci2]→一次側アース→整流ダイオードDd→商用交流電源ACの負極ラインによる整流電流経路で流れる。

また、交流入力電圧 V_{AC} が負の期間内では、フィルタコンデンサ C_N から商用交流電源 AC の負極ラインを介して、整流ダイオード $D_c \rightarrow$ 平滑コンデンサ $[C_{i1} // C_{i1}] - [C_{i2} // C_{i2}] \rightarrow$ 一次側アース \rightarrow 整流ダイオード $D_b \rightarrow$ 二次巻線 N_{12} による整流電流経路で流れる。

- 5 また、商用交流電源 AC が $100V$ 系とされて倍電圧整流回路が形成されている場合には、次のようにして流れる。

交流入力電圧 V_{AC} が正の期間内では、フィルタコンデンサ C_N から商用交流電源 AC の正極ラインを介して、二次巻線 $N_{12} \rightarrow$ ブリッジ整流回路 D_i の整流ダイオード $D_a \rightarrow$ 平滑コンデンサ $[C_{i1} // C_{i1}] \rightarrow$

10 商用交流電源 AC の負極ラインによる整流電流経路で流れる。

また、交流入力電圧 V_{AC} が負の期間内では、フィルタコンデンサ C_N から商用交流電源 AC の負極ラインを介して、平滑コンデンサ $[C_{i2} // C_{i2}] \rightarrow$ 一次側アース \rightarrow 整流ダイオード $D_b \rightarrow$ 二次巻線 $N_{12} \rightarrow$ 商用交流電源 AC の正極ラインによる整流電流経路で流れる。

- 15 上記した整流電流経路とされることから分かるように、整流電流は、交流入力電圧が正／負の両期間において、高速リカバリ型の整流ダイオード($D_a \sim D_d$)の何れかを流れるようにされる。つまり、整流電流は、高速リカバリ型の整流ダイオードによってスイッチングされるようにして断続されていることが分かる。そして、このようにして整流電流
- 20 がスイッチングにより断続されることで、整流出力電圧レベルが整流平滑電圧 E_i のレベルよりも低いとされる期間にも平滑コンデンサ C_i への充電電流が流れるようにされる。

- この結果、交流入力電流の平均的な波形が交流入力電圧の波形に近づくようにされることで、交流入力電流 I_{AC} の導通角が拡大される。このようにして、交流入力電流 I_{AC} の導通角が拡大される結果、力率改善が図られることになる。
- 25

そして、第2図に示す力率改善回路3の実際としては、第2コンバータ部102の疎結合トランスVFT-2も備えた構成となっている。

ここで、疎結合トランスVFT-2の二次巻線N12は、第1コンバータ部101の疎結合トランスVFT-1の二次巻線N12に対して並列に接続されている。従って、上記した整流電流経路においては、実際には、疎結合トランスVFT-1, VFT-2の各二次巻線N12//N12の並列回路に整流電流が流れることになり、二次巻線N12//N12の並列回路が整流電流経路内に含まれることになる。

これは、疎結合トランスVFT-1, VFT-2によって、第1コンバータ部101及び第2コンバータ部102の両方のスイッチング出力を整流電流経路に帰還するように構成していることを意味する。

つまり、本実施の形態では、第1コンバータ部101に対応しては疎結合トランスVFT-1により電圧帰還して力率改善を図り、また、第2コンバータ部102に対応しては疎結合トランスVFT-2により電圧帰還して力率改善を図る構成を採っているものである。なお、疎結合トランスVFT-1, VFT-2の各一次巻線N11、二次巻線N12のインダクタンス値については、例えば、力率PF=0.8程度が得られるようにして選定を行うようにされる。

また、第2図に示す電源回路の構成によると、第1コンバータ部101において、二次側直流出力電圧E0, E01~E04の5つの二次側直流出力電圧を生成し、第2コンバータ部102において二次側直流出力電圧E05を生成するようにしている。

つまり、本実施の形態としても、第11図にて説明した先行技術の場合と同様にして、

25 E0: ロジック電源、5V/6A~2A

E01: アナログICドライブ用電源、12V/0.4A

E₀₂ : デジタル I C ドライブ用電源、3.3 V / 1.5 A

E₀₃ : 音声出力用電源、2.6 V / 1.3 A ~ 0.1 A

E₀₄ : データ電源、7.0 V / 2.5 A ~ 0.35 A

E₀₅ : 維持電源、20.0 V / 1.75 A ~ 0.1 A

5 を得るようにされている。

但し、本実施の形態においては、第1コンバータ部101、第2コンバータ部102の、2つのコンバータ部によって上記6つの負荷（二次側直流出力電圧）をまかなうこととしており、従って、各コンバータ部が対応すべき最大負荷電力は、

10 第1コンバータ部101 : 250 W

第2コンバータ部102 : 350 W

となって、これにより総合で600 Wとなるようにしている。

そして、上記のようにして二次側直流出力電圧E₀、E₀₁~E₀₅を生成して負荷に供給する構成の下では、第11図においても説明したように、電源起動時において、二次側直流出力電圧についてしかるべき順序
15 で以て立ち上がらせる必要がある。つまり、ロジック電源である二次側直流出力電圧E₀を立ち上がらせ、続いて、順次、維持電源である二次側直流出力電圧E₀₅、データ電源である二次側直流出力電圧E₀₄を立ち上げるようにすることが要求される。

20 第2図に示す電源回路では、このような二次側直流出力電圧の順次立ち上げを、次のようにして行うこととしている。

先ず、二次側直流出力電圧の順次立ち上げ制御のため、第2図においては図示していないマイクロコンピュータからは、本来、コントロール I C の起動をコントロールするための信号（起動制御信号）である、立
25 ち上げ信号V_{t1}、V_{t2}、V_{t3}を出力可能とされている。

なお、ここでいうマイクロコンピュータとは、第2図に示す電源回路が搭載される機器に備えられているものとされる。そして、第2図に示す電源回路は、メイン電源であり、このメイン電源がオフとなっているときには、マイクロコンピュータは、ここでは図示していないスタンバイ電源によって動作している。従って、メイン電源が立ち上がっていないととも、スタンバイ電源によって動作しているために、立ち上げ信号 V_{t1} 、 V_{t2} 、 V_{t3} を出力することは可能とされている。

なお、第1図に示したプラズマディスプレイ装置10としても、メイン電源であるスイッチング電源部11と、プラズマディスプレイパネル部12、及びテレビジョン受像機能部13との関係に基づいた構成のみを示しているもので、このマイクロコンピュータ及びスタンバイ電源については、その図示を省略していたものである。

そして、立ち上げ信号 V_{t1} は、第1コンバータ部101のコントロールIC2における起動端子 V_t に対して入力されるようになっている。

立ち上げ信号 V_{t2} は、第2コンバータ部102における起動端子 V_t に対して入力される。また、立ち上げ信号 V_{t3} については、先にも説明したように、第1コンバータ部101の二次側において、二次側直流出力電圧 E_{o4} の整流回路に備えられる、DCスイッチ回路のトランジスタQ6をオン/オフするためのオン/オフ制御信号として入力されている。

ここで、第5図(a)(d)(f)に示すようにして、立ち上げ信号 V_{t1} 、 V_{t2} 、 V_{t3} は、それぞれ、時点 t_1 、 t_2 、 t_3 のタイミングで、順次、LレベルからHレベルに切り換わるようにして出力されるようにされている。また、立ち上げ信号 V_{t1} 、 V_{t2} 、 V_{t3} が全てLレベルとなっている時点 t_1 以前においては、第1コンバータ部101及び第2コンバータ部102は起動していない状態にある。

例えばマイクロコンピュータは、メイン電源がオンとなって、整流平滑電圧 E_i が規定のレベルにまで立ち上がったことを認識すると、先ず、時点 t_1 とされる所定のタイミングにより、第5図(a)に示すようにして立ち上げ信号 V_{t1} をLレベルからHレベルに切り換えて出力する。

- 5 これにより、時点 t_1 において、第1コンバータ部101のコントロールIC2が起動する。つまり、第1コンバータ部101が起動を開始することになる。これに応じて、第1コンバータ部101の二次側にて得られる各二次側直流出力電圧が立ち上ることになる。つまり、例えば第5図(b)に示すようにして、二次側直流出力電圧 E_o は、時点 t_1
- 10 以前では0レベルであったが、時点 t_1 以降において、平滑コンデンサ C_o の充電量が増加していくのに応じて上昇するようにして立ち上がっている。そして、規定レベルに至ったとされると、以降はこの規定レベルにより定電圧制御された状態が維持される。

- ただし、二次側直流出力電圧 E_{o4} については、第5図(c)に示す
- 15 直流電圧 E_4 が時点 t_1 で立ち上がっているのに拘わらず、第5図(g)に示すようにして、同様には立ち上がらない。これは、時点 t_1 のタイミングでは、オン/オフ制御されるDCスイッチ回路6において、トランジスタQ5がオフ状態だからである。前述したように、DCスイッチ回路6では、オン/オフ制御信号である立ち上げ信号 V_{t3} がLレベルでは、トランジスタQ5をオフ状態とするように動作する。トラン
- 20 ジスタQ5をオフ状態であるとき、平滑コンデンサ C_{o6} には整流電流が充電されず、二次側直流出力電圧 E_{o4} が生成されることはない。

- そして、第5図(d)に示す立ち上げ信号 V_{t2} は、上記 V_{t1} がHレベルに変化した時点 t_1 の後の時点 t_2 においてHレベルに切り換わ
- 25 って出力される。なお、この時点 t_2 のタイミングは、例えば時点 t_1 にHレベルとされた立ち上げ信号 V_{t1} に応じて、例えば二次側直流出

力電圧 E_o が規定レベルにまで完全に立ち上がることで、二次側直流出力電圧 E_o を電源とする回路部の動作の開始が保証される時点以降となるように設定される。

- そして、立ち上げ信号 V_{t2} が H レベルに切り換わるのに応じては、
- 5 第 2 コンバータ部 102 のコントロール IC2 が起動することになる。これにより、時点 t_2 からは、第 5 図 (e) に示すようにして、二次側直流出力電圧 E_{o5} が立ち上がることになる。

- そして、二次側直流出力電圧 E_{o5} が規定レベルにまで完全に立ち上がって定電圧化された状態が得られている時点 t_3 のタイミングにより、
- 10 第 5 図 (f) に示すようにして、最後の立ち上げ信号 V_{t3} が H レベルに切り換えられる。

- この場合には、立ち上げ信号 V_{t3} が H レベルとなるのに応じて、DC スイッチ回路 6 におけるトランジスタ Q5 がオン状態に切り換わることになる。これに応じて、直流電圧 E_4 は、トランジスタ Q5 のドレイン
- 15 ソースを介して平滑コンデンサ C_{o6} に充電されることになり、ここではじめて、第 5 図 (g) に示すようにして二次側直流出力電圧 E_{o4} が立ち上がることになる。

- このようにして、本実施の形態では、電源起動時における二次側直流出力電圧の立ち上げ順として、第 11 図の場合と同等の適正なものとなるように制御している。
- 20

なお、参考までに、第 2 図に示す電源回路において備えられる各トランスのコアの形状サイズについて記しておく。

PIT-1 : EER-40

PIT-2 : EER-42

- 25 VFT-1, VFT-2 : EE-28

PRT : フェライトコア (15mm×15mm×20mm)

また、この第2図に示す電源回路についての実験結果について述べておくこととする。

負荷電力 $P_o = 600\text{ W}$ 、交流入力電圧 $V_{AC} = 100\text{ V}$ 時の条件では、総合電力変換効率 $\eta_{AC \rightarrow DC} = 92.5\%$ であり、第11図に示す
5 先行技術の電源回路の特性よりも 3.2% 向上している。

また、負荷電力 $P_o = 600\text{ W}$ 、交流入力電圧 $V_{AC} = 230\text{ V}$ 時の条件では、総合電力変換効率 $\eta_{AC \rightarrow DC} = 94.0\%$ であり、第11図に示す電源回路よりも 2.3% 向上するという結果が得られた。

また、力率特性としては、負荷電力 $P_o = 600\text{ W}$ 、交流入力電圧 $V_{AC} = 100\text{ V}$ 時の条件では、力率 $P_F = 0.83$ が得られた。そして、
10 交流入力電圧 $V_{AC} = 100\text{ V}$ 時には、負荷電力 $P_o = 600\text{ W} \sim 25\text{ W}$ の範囲で $P_F > 0.75$ が得られている。

また、負荷電力 $P_o = 600\text{ W}$ 、交流入力電圧 $V_{AC} = 230\text{ V}$ 時の条件では、力率 $P_F = 0.78$ が得られた。また、交流入力電圧 $V_{AC} = 230\text{ V}$ 時には、負荷電力 $P_o = 600\text{ W} \sim 300\text{ W}$ の範囲で
15 規定以上の力率が得られ、IEC(International Electrotechnical Commission、国際電気標準会議)の高調波歪み規制値を満足することができた。

このようにして構成される第2図に示す本実施の形態の電源回路と、
20 先行技術として示した第11図の回路とを比較した場合には次のようなことがいえる。

まず、第2図に示した回路では、電圧帰還方式による力率改善回路3を備える構成とすることでアクティブフィルタが省略される。アクティブフィルタは、1組のコンバータを構成するものであり、第11図
25 による説明からも分かるように、実際には、複数本のスイッチング素子

と、これらを駆動するための IC 等を始め、多くの部品点数により構成される。

これに対して、第 2 図に示す電源回路に備えられる力率改善回路 3 は、疎結合トランス VFT-1, VFT-2 を整流電流経路に追加するのみ
5 であり、また、疎結合トランス VFT-1, VFT-2 は、前述もしたように、EE-28 型の小型なコアによる部品素子である。従って、アクティブフィルタと比較すれば相当に少ない部品点数となり、また、部品素子の基板実装面積も縮小する。

これにより、第 2 図に示す電源回路としては、力率改善機能を備える
10 ワイドレンジ対応の電源回路として、第 11 図に示す回路よりもはるかに低コストとすることができる。また、回路基板についても有効に小型軽量化を図ることができる。

また、第 2 図に示す電源回路では、アクティブフィルタ及び降圧形コンバータが省略されており、ハードスイッチング動作をするコンバータ
15 が無くなっていることが分かる。ここで、本実施の形態においては、直交型制御トランス PRT 及び制御回路 7 を備えて、直流的な制御電流供給によって二次側直流出力電圧 E_o , E_{o1} , E_{o2} などの安定化を図る構成としていることで、降圧形コンバータの省略を可能としている。

そして、第 2 図の電源回路を形成する第 1 コンバータ部 101、第 2
20 コンバータ部 102 及び力率改善回路 3 の動作は、いわゆるソフトスイッチング動作のみとなるから、第 11 図に示したアクティブフィルタと比較すれば、スイッチングノイズのレベルは大幅に低減される。

また、第 11 図に示す電源回路では、複合共振形コンバータ部の数が 3 であるのに対して、第 2 図に示す電源回路では、第 1 及び第 2 コンバータ部 101, 102 の 2 つとしている。このようにして複合共振形
25 コンバータ部の数が削減されることによっても、上記した回路の小型軽量

化が促進される。また、ソフトスイッチング動作であるから、もともとスイッチングノイズは少ないものの、複合共振形コンバータ部の数が削減されれば、それだけスイッチングノイズも減少されることとなって、この点でのメリットも得られている。

- 5 このため、第2図に示した回路では、1組のコモンモードチョークコイルCMCと2本のアクロスコンデンサCLから成る1段のラインノイズフィルタを備えれば、電源妨害規格値をクリアすることが十分に可能とされる。

- 10 このようにしてノイズフィルタとしての部品点数が削減されることによっても、電源回路のコストダウンと、回路基板の小型軽量化は促進される。

- 15 また、第11図に示す電源回路の総合電力変換効率 $\eta_{AC/DC}$ は、前段のアクティブフィルタにおけるAC-DC電力変換効率 $\eta_{AC/DC}$ と、後段の電流共振形コンバータのDC-DC電力変換効率 $\eta_{DC/DC}$ とにより決定されるものであった。これに対して、第2図に示す電源回路は、アクティブフィルタを前段に備えていないから、総合電力変換効率は、この電流共振形コンバータのAC-DC電力変換効率として見ればよいことになる。そして、本実施の形態のようにして、電圧帰還方式による力率改善回路を備える場合、その電力変換効率は、力率改善回路を備えない
20 場合の複合共振形コンバータとほぼ同等であることが分かっている。

これにより、第2図に示す電源回路としては、前述もしたように、電力変換効率について、第11図に示す電源回路よりも大幅に向上されることになる。

- 25 また、第11図に示す電源回路の場合には、アクティブフィルタ回路8と、3組のコンバータ部201、202、203と、2組の降圧形コ

ンバータが、それぞれ異なるスイッチング周波数で動作する構成となっていた。

これに対して、本実施の形態では、互いに異なるスイッチング周波数によって独立してスイッチング動作を実行するのは、2組のコンバータ部101, 102のみとなる。コンバータ部101, 102のスイッチング周波数は、定電圧化のために、例えば70KHz～150KHzの範囲で、二次側直流出力電圧E4, E05のレベルに応じてそれぞれ変化する。

このようにして、異なるスイッチング周波数によりスイッチング動作するコンバータの数が削減されることによって、一次側と二次側のアース電位の干渉もそれだけ少なくなるから、電源回路の動作もより安定することとなる。

ところで、第11図に示す回路において、複合共振形コンバータとして、コンバータ部201, 202, 203の3つを設けているのは、第12図により説明したように、この場合には、時点t1, t2, t3の3段階で二次側直流出力電圧の立ち上がりタイミングを制御しなければならないにも起因する。

つまり、これまでににおいては、時点t1, t2, t3ごとに出力される立ち上げ信号Vt1, Vt2, Vt3ごとに对应して、二次側直流出力電圧を立ち上げようとするれば、これに応じて、3つの複合共振形コンバータを備え、各複合共振形コンバータのコントロールIC2の起動を、立ち上げ信号Vt1, Vt2, Vt3によりコントロールするという構成が採られてきたからである。

これに対して、第2図に示す回路では、DCスイッチ回路6を設け、立ち上げ信号Vt3によっては、このDCスイッチ回路6のオン/オフ状態を制御して、二次側直流出力電圧E04についての立ち上げをコン

トロールするようにしている。これにより、二次側直流出力電圧の立ち上げコントロールに必要なコントロール IC は、1つ削減されることになる。つまり、コンバータ部を1つ削減することが可能となるものである。

- 5 このようにしてコンバータ部が削減されることによって、その分の部品点数の削減も図られることとなる。また、一次側スイッチングコンバータを形成するスイッチング素子によるスイッチング損失も、その分低減されることとなる。

- 10 第6図は、第2の実施の形態としてのスイッチング電源回路の構成例を示している。なお、この図において、第2図と同一部分には同一符号を付して説明を省略する。

- 15 この図に示す電源回路では、先ず、第1コンバータ部101側に備えられるDCスイッチ回路（スイッチ手段）6の内部構成が、第2図の場合と異なっている。つまり、DCスイッチ回路6において、時定数コンデンサC3が備えられる。時定数コンデンサC3は、例えばこの場合には電解コンデンサが用いられ、正極端子をトランジスタQ6のベースに接続し、負極端子を二次側アースに接続するようにされる。

- 20 また、この場合には、DCスイッチ回路6に入力されるオン／オフ制御信号として、立ち上げ信号Vt3に代えて、第2コンバータ部102の二次側直流出力電圧Eo5を入力するようにされている。

- 25 このような構成では、或る正極性による所定レベルのオン／オフ制御信号の入力が開始される時点から、トランジスタQ6が完全にオン状態となる時点について、抵抗R4と時定数コンデンサC4の時定数に応じた所定の遅延時間が与えられることになる。これにより、オン／オフ制御信号の入力が開始されてからトランジスタQ5が完全にオンとなるま

での時間についても、抵抗 R_4 と時定数コンデンサ C_4 の時定数に応じた遅延が与えられることになる。

また、この図に示す回路においては、第2コンバータ部102の二次側においても、第2図において示されていたノイズ除去用抵抗 R_5 に代
5 えて、DCスイッチ回路6Aが備えられる。このDCスイッチ回路（スイッチ手段）6Aについても、MOS-FETのトランジスタQ7、バイポーラのトランジスタQ8、ツェナーダイオードDZ、抵抗 R_8 , R_9 , R_{10} 、時定数コンデンサ C_8 を、DCスイッチ回路6の場合とほぼ同様に接続して形成される。従って、このDCスイッチ回路6Aとしても、
10 オン／オフ制御信号の入力が開始されてからトランジスタQ7が完全にオンとなるまでの時間について、抵抗 R_8 と時定数コンデンサ C_8 の時定数に応じた遅延が与えられる。そして、DCスイッチ回路6Aにおいては、オン／オフ制御信号として、第1コンバータ部101側で生成される二次側直流出力電圧 E_0 が入力される。

15 また、この電源回路においては、マイクロコンピュータから出力される立ち上げ信号は V_{t1} のみとされ、第1コンバータ部101のコントロールIC2の起動端子 V_t に入力するようにしている。

上記第6図に示す回路において、二次側直流出力電圧を順次立ち上げるための制御動作を、第7図のタイミングチャートにより説明する。

20 この場合にも、マイクロコンピュータは、メイン電源がオンとなったことを認識すると、第7図(a)に示すように、時点 t_1 とされる所定のタイミングにより立ち上げ信号 V_{t1} をLレベルからHレベルに切り換えて出力する。これに応じて、第7図(b)に示すように、第1コンバータ部101も時点 t_1 から起動することとなって、二次側直流出力
25 電圧 E_0 が立ち上がることになる。

また、この時点 t_1 に対応しては、同じ第1コンバータ部101の二次側にて得られる二次側直流出力電圧も立ち上がることになる。ただし、この場合にも、二次側直流出力電圧 E_{o4} については、第7図(h)に示すように、時点 t_1 において立ち上がることはない。その前段の直流出力電圧 E_4 は、第7図(c)に示すように第1コンバータ部101の起動に応じて時点 t_1 から立ち上がる。

また、立ち上げ信号 V_{t1} がHレベルとなる時点 t_1 は、ほぼメイン電源のオン時点に対応している。この図に示す第2コンバータ部102の起動端子には、立ち上げ信号が入力されることなくオープンとなっている。この場合には、電源入力端子 V_{cc} から入力される起動時の電圧に応じて、コントロール IC_2 が動作を開始するが起動することになる。

このため、第2コンバータ部102も、時点 t_1 とほぼ同じタイミングでスイッチング動作を開始するようにして起動することになる。そして、これに応じては、第7図(d)に示すように、第2コンバータ部102の二次側に備えられる平滑コンデンサ C_{o7} の両端電圧である直流電圧 E_5 も、ほぼ時点 t_1 から立ち上がることになる。ただし、この時点では、DCスイッチ回路6Aのトランジスタ Q_7 はオフ状態となっているので、平滑コンデンサ C_{o8} の両端電圧となる二次側直流出力電圧 E_{o5} は、第7図(f)に示すように立ち上がってはいない。

ここでは、二次側直流出力電圧 E_o が、時点 t_1 から或る時間経過した時点 t_{1A} において規定レベルに達した状態となる。これに応じて、オン/オフ制御信号として二次側直流出力電圧 E_o が入力される、第2コンバータ部102のDCスイッチ回路6Aでは、例えばこの時点 t_{1A} のタイミングで、第7図(e)に示すようにしてトランジスタ Q_8 のベース電圧が徐々に上昇していくようにされる。このベース電圧の上昇

の傾きは、抵抗 R_8 と時定数コンデンサ C_8 の時定数によって決定される。

そして、例えば時点 t_2 において、トランジスタ Q_8 のベース電圧が所定レベルにまで至ったとされると、このときにトランジスタ Q_8 が完全にオン状態とされることになる。そして、このときにはトランジスタ Q_7 も完全にオンとなる状態が得られており、第 7 図 (d) に示す平滑コンデンサ C_{o7} の両端電圧である直流電圧 E_5 が、トランジスタ Q_7 を介して、平滑コンデンサ C_{o8} に供給されることになる。これにより、平滑コンデンサ C_{o8} の両端電圧である二次側直流出力電圧 E_{o5} は、第 7 図 (f) に示すようにして、時点 t_2 から立ち上がるようにされる。

そして、上記のようにして時点 t_2 において立ち上がった二次側直流出力電圧 E_{o5} は、第 1 コンバータ部 101 側の DC スイッチ回路 6 に対してオン/オフ制御信号として入力されることになる。

これに応じて、DC スイッチ回路 6 では、第 7 図 (g) に示すようにして、抵抗 R_4 と時定数コンデンサ C_3 の時定数によって決定される時間で以て、トランジスタ Q_6 のベース電圧が上昇していく動作が得られる。

そして、例えば時点 t_3 において、トランジスタ Q_6 のベース電圧が所定レベルにまで至って完全にオン状態になったとされると、トランジスタ Q_5 も完全にオンとなる状態が得られることになる。この結果、第 7 図 (c) に示す直流電圧 E_4 が、トランジスタ Q_5 を介して、平滑コンデンサ C_{o6} に供給されることになる。これにより、平滑コンデンサ C_{o6} の両端電圧である二次側直流出力電圧 E_{o4} は、第 7 図 (h) に示すようにして、時点 t_3 から立ち上がることになる。

このようにして、第6図に示す電源回路においても、第11図の回路と同様の、二次側直流出力電圧の立ち上げタイミングが得られるようにされている。

そして、この第2の実施の形態の電源回路としても、第1の実施の形態の電源回路と同様の理由によって、力率改善機能を有する電源回路として、電力変換効率の向上、回路の小型軽量化、アース間干渉の低減による安定性向上などの効果が得られる。

また、コンバータ部が削減されることに依る、部品点数の削減、及びスイッチング損失の低減も図られることになる。

10 ここで、本発明としてのスイッチングコンバータの構成に基づいた場合には、コンバータ部を1つとすることができる。このことは、第6図に示した第2の実施の形態の構成を参照すると分かりやすい。つまり、第6図に示した構成では、立ち上げ信号 V_t1 により第1コンバータ部101を立ち上げた後は、時定数回路を備えるDCスイッチ回路6、6A
15 Aに対して二次側直流出力電圧 E_{o5} 、 E_o をそれぞれ入力するようにしており、これにより、第7図に示したようにして規定の順序により二次側直流出力電圧を立ち上げるようにしているものである。この場合、第2コンバータ部102のコントロールIC2の起動端子 V_t に対しては立ち上げ信号を入力させていないから、第2コンバータ部102について
20 でも省略し、1つのコンバータ部101のみによって、必要な二次側直流出力電圧 E_o 、 $E_{o1} \sim E_{o6}$ を生成して出力させるように構成することができる。これについては、技術的には容易に可能である。

しかしながら、本実施の形態としては、次のようなことを考慮して、スイッチング電源回路として、第1図及び第6図に示したようにしてコン
25 バータ部は、2つまでにとどめることとして、1つとする構成にはしないようにしている。

- つまり、第 1 図及び第 6 図に示した各実施の形態の電源回路は、第 1 図に示したように、プラズマディスプレイ装置 10 のスイッチング電源部 11 として搭載される。周知のようにして、プラズマディスプレイ装置 10 は、その表示デバイスとしての構造上、例えば CRT（陰極線管）表示装置と比較すれば、奥行きに関して相当に小さく、薄型とすることができる。そして、このようにして薄型であることが、例えばプラズマディスプレイ装置の設置などの点で大きなメリットとなっている。つまり、プラズマディスプレイ装置としては、できるだけ薄型化が図られることが好ましいということがいえる。
- 5 このような事情からすれば、プラズマディスプレイ装置内に搭載される電源回路基板としても、プラズマディスプレイ装置の薄型化を妨げないようなサイズ形状であることが要求される。そのための電源回路基板のサイズ形状としては、その高さを低くすることが要求されることになるが、絶縁コンバータトランス P I T は電源回路を形成する部品のうち
- 10 でも高さがあることから、電源回路基板の高さは、主に絶縁コンバータトランス P I T の高さによって決まる。
- 15 前述もしたように、第 1 図に示した第 1 の実施の形態の電源回路では、前述もしたように、絶縁コンバータトランス P I T - 1, P I T - 2 には、それぞれ E E R - 40, E E R - 42 のコア（ボビン）を用いている。この程度のサイズのコアでは、その高さは、縦使用では約 41mm ~ 46mm の範囲で、横使用では、約 30mm ~ 35mm の範囲となる。従って、電源回路基板の高さとしても、このサイズに応じたものとなる。
- 20 なお、第 6 図に示した第 2 の実施の形態の電源回路についても、絶縁コンバータトランス P I T - 1, P I T - 2 については、同等のサイズ形状のコア（ボビン）を用いるようにされることから、電源回路基板の高さもほぼ同等であることになる。
- 25

そして、現状においては、この程度の電源回路基板の高さであれば、プラズマディスプレイ装置の薄型化を妨げることはないような内部部品のレイアウト構造等となっている。

しかしながら、第1図及び第6図に示した電源回路と同等の総合負荷
5 の条件（負荷電力600W）に対応させることとしたうえで、コンバータ部を1つにしたとすれば、絶縁コンバータトランスPITも1つのみとなり、上記600Wの負荷条件に応じた一次側から二次側への電力伝送は、この1つの絶縁コンバータトランスPITにのみ依存することになる。

10 このために、絶縁コンバータトランスPITのコア（ボビン）サイズとしては、第1図又は第6図に示した実施の形態の電源回路の場合よりも大型化させる必要がある。つまり、負荷条件は同等としたうえで、コンバータ部を削減することとすれば、その分、絶縁コンバータトランスPITのコア（ボビン）サイズを大きくする必要性が生じてくる。第1図
15 及び第6図に示した構成を基として、コンバータ部を1つとした場合、実際においては、小さくともEER-49を選定しなければならない。

EER-49は、縦使用では約50mm、横使用でも約37mmであり、EER-40やEER-42と比較すれば、センチメートル単位でのサイズアップとなってしまう。このために、プラズマディスプレイ装置に
20 ついて、要求されるだけの薄型サイズとすることができなくなる場合が生じてくる。

そこで、本実施の形態としては、コンバータ部については1つとせず
に、2つとすることとしているものである。つまり、本実施の形態では、3つのコンバータ部を備えていた先行技術の構成（第11図）から1つ
25 のみを削除して、2つのコンバータ部を備える構成としている。これにより、コンバータ部の削減による部品点数削減及び低損失のメリットと、

プラズマディスプレイ装置の薄型化を阻害しないこととの両立を図るようになっている。

つまり、本実施の形態の電源回路のコンバータ数は、コンバータ部の削減による効果と、要求される電源回路基板のサイズ形状との兼ね合い
5 によって決定されるべきものであるということがいえる。

また、本発明としては、これまでに説明した電源回路の構成に限定されるものではない。

例えばスイッチング素子としては、例えば I G B T (Insulated Gate Bipolar Transistor) など、他励式に使用可能な素子であれば、
10 M O S - F E T 以外の素子が採用されて構わない。また、先に説明した各部品素子の定数なども、実際の条件等に応じて変更されて構わない。

また、本発明としては、自励式でハーフブリッジ結合方式による電流共振形コンバータを備えて構成することも可能とされる。この場合には、
15 スwitching素子として例えばバイポーラトランジスタを選定することができる。

さらには、例えば絶縁コンバータトランス P I T の二次側において二次側直流出力電圧を生成するための回路構成としても、適宜変更されて構わない。

また、力率改善回路 3 の構成としても、上記各実施の形態として示したもの以外に限定されるものではなく、これまでに本出願人が提案してきた各種の電圧帰還方式による回路構成のうちから、適用可能なものを採用してよい。
20

また、本発明に基づく電源回路としては、先の説明からも理解されるようにして、スイッチングコンバータ部の段数についても、例えば実施
25 の形態として示したように 2 段（コンバータ部 1 0 1, 1 0 2）であることに限定される必要はなく、この段数は、コンバータ部の削減による

- 効果と、要求される電源回路基板のサイズ形状との兼ね合いによって決められるべきものであるし、また、例えば対応すべき負荷電力や、必要とされる二次側直流出力電圧の数などに応じて適宜変更されてもよい。
- また、これらの各コンバータ部において生成する二次側直流出力電圧の数としても特に限定されるものではない。そのうえでも、本発明によつては、実施の形態において説明したように、DCスイッチ回路（スイッチ手段）6，6A等を備える構成を採ることで、同数の二次側直流出力電圧を得る場合において必要とされるスイッチングコンバータ部の数は、
- 5 先行技術に基づいて、同一の負荷条件及び二次側直流出力電圧数に対応する電源回路を構成した場合よりも少なくすることが可能である。
- 10

- さらに、本発明としてのスイッチング電源回路はプラズマディスプレイ装置以外にも搭載されて構わない。つまり、比較的多数の異なる負荷条件に応じて複数の直流出力電圧（二次側直流出力電圧）を生成する必要がある、かつ、その装置の仕様等の事情に基づいて、直流出力電圧を
- 15 所定タイミングで順次立ち上げていく必要があるような装置全般に搭載することができる。

請求の範囲

1. 交流入力電圧を整流する整流手段および上記整流手段からの整流電圧を平滑する平滑手段を有し、上記平滑手段からの平滑電圧を直流入力電圧として入力して動作するとともに、起動時に互いに異なるタイミングで起動される第一のスイッチングコンバータ部および第二のスイッチングコンバータ部を備えるスイッチング電源回路であって、

上記複数のスイッチングコンバータ部の各々は、

- 10 上記直流入力電圧を入力してスイッチング動作を行うものとされ、ハイサイドのスイッチング素子と、ローサイドのスイッチング素子とをハーフブリッジ結合して形成されるスイッチング手段と、

上記各スイッチング素子をスイッチング駆動するスイッチング駆動手段と、

- 15 少なくとも、上記スイッチング手段のスイッチング動作により得られるスイッチング出力が供給される一次巻線と、該一次巻線に得られたスイッチング出力としての交番電圧が励起される二次巻線とを巻装して形成される絶縁コンバータトランスと、

- 20 少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、上記一次巻線に直列接続された一次側直列共振コンデンサのキャパシタンスとによって形成され、上記スイッチング手段の動作を電流共振形とする一次側直列共振回路と、

- 25 上記各ハーフブリッジ結合を形成する2つのスイッチング素子のうち、一方のスイッチング素子に対して並列接続された部分電圧共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記各スイッチング素子がター

ンオン及びターンオフするタイミングに応じてのみ電圧共振動作が得られる一次側部分電圧共振回路と、

- 上記絶縁コンバータトランスの二次巻線に得られる二次側交流電圧を入力して、整流動作を行うことで複数の二次側直流出力電圧を生成する
- 5 ように構成された直流出力電圧生成手段と、

- 上記複数の二次側直流出力電圧のうち、所要の1つの二次側直流出力電圧のレベルに応じて上記スイッチング駆動手段を制御して、上記スイッチング手段のスイッチング周波数を可変することで、上記所要の1つの二次側直流出力電圧に対する定電圧制御を行うように構成された周波
- 10 数制御型定電圧制御手段と、

- 上記周波数制御型定電圧制御手段により定電圧制御される以外の、定電圧化を必要とする所要の二次側直流出力電圧ごとに対応して設けられるもので、制御巻線と被制御巻線が巻装された可飽和リアクトルとしての制御トランスの上記被制御巻線を、二次側直流出力電圧を生成するための二次側整流電流経路に挿入し、入力された二次側直流出力電圧レベ
- 15 ルに応じて、制御巻線に流すべき制御電流レベルを可変して上記被制御巻線のインダクタンスを可変することで、この二次側直流出力電圧に対する定電圧制御を行うように構成されたインダクタンス制御型定電圧制御手段と、

- 上記一次側直列共振回路に対して直列に挿入される力率改善用一次巻線、上記整流平滑手段として形成される整流電流経路に挿入される力率改善用二次巻線を巻装して構成される力率改善用トランス、および上記整流電流経路の所要部位に挿入され、上記力率改善用一次巻線によって力率改善用二次巻線に励起された励起電圧に基づいてスイッチング動作
- 20 を行うことで整流電流を断続する整流素子を有して力率を改善する力率改善回路と
- 25

を備え、

上記第一のスイッチングコンバータ部は、所定の二次側直流出力電圧が立ち上がったとされるときから所定時間経過したタイミングで、他の所定の二次側直流出力電圧を生成するための二次側整流電流経路をオフ状態からオン状態に切り換えるように動作する第一のスイッチ手段を有することを特徴とするスイッチング電源回路。

2. 上記所定時間経過したタイミングで入力されるの起動制御信号に応じて、上記第一のスイッチ手段は上記二次側整流電流経路をオフ状態からオン状態に切り換えるようにされていることを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

3. 上記整流手段は、ブリッジ接続されたダイオードであって、上記交流入力電圧が供給される二つの端子と基準電位に接続される基準電位端子と整流電圧が出力される整流電圧出力端子とを有し、

上記平滑手段は、接続点を介して上記整流電圧出力端子と基準電位端子との間に直列接続された二つの平滑コンデンサであって、

上記交流入力電圧が供給される二つの端子のうちの一つと、上記接続点との間に設けられる第二のスイッチ手段をさらに備え、上記交流入力電圧が基準電圧より低いとき、上記第二のスイッチ手段をオン状態として上記交流入力電圧レベルの2倍に対応するレベルの整流平滑電圧を生成する倍電圧整流動作とし、上記交流入力電圧が基準電圧より高いとき、上記第二のスイッチ手段をオフ状態として上記交流入力電圧レベルの等倍に対応するレベルの上記整流平滑電圧を生成する等倍電圧整流動作との切り換えが行われることを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

4. 交流入力電圧を整流する整流手段および上記整流手段からの整流電圧を平滑する平滑手段を有し、上記平滑手段からの平滑電圧を直流入

力電圧として入力して動作するスイッチングコンバータ部を複数備えるスイッチング電源回路であって、上記複数のスイッチングコンバータ部の一つは起動時に予め決められたタイミングで起動される第一のスイッチング電源回路および他のスイッチング電源回路において、

5 上記複数のスイッチングコンバータ部の各々は、

上記直流入力電圧を入力してスイッチング動作を行うものとされ、ハイサイドのスイッチング素子と、ローサイドのスイッチング素子とをハーフブリッジ結合して形成されるスイッチング手段と、

上記各スイッチング素子をスイッチング駆動するスイッチング駆動手段と、
10 段と、

少なくとも、上記スイッチング手段のスイッチング動作により得られるスイッチング出力が供給される一次巻線と、該一次巻線に得られたスイッチング出力としての交番電圧が励起される二次巻線とを巻装して形成される絶縁コンバータトランスと、

15 少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、上記一次巻線に直列接続された一次側直列共振コンデンサのキャパシタンスとによって形成され、上記スイッチング手段の動作を電流共振形とする一次側直列共振回路と、

上記各ハーフブリッジ結合を形成する2つのスイッチング素子のうち、
20 一方のスイッチング素子に対して並列接続された部分電圧共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記各スイッチング素子がターンオン及びターンオフするタイミングに応じてのみ電圧共振動作が得られる一次側部分電圧共振回路と、

上記絶縁コンバータトランスの二次巻線に得られる二次側交流電圧を入力して、整流動作を行うことで複数の二次側直流出力電圧を生成するように構成された直流出力電圧生成手段と、

- 上記複数の二次側直流出力電圧のうち、所要の1つの二次側直流出力電圧のレベルに応じて上記スイッチング駆動手段を制御して、上記スイッチング手段のスイッチング周波数を可変することで、上記所要の1つの二次側直流出力電圧に対する定電圧制御を行うように構成された周波数制御型定電圧制御手段と、

- 上記周波数制御型定電圧制御手段により定電圧制御される以外の、定電圧化を必要とする所要の二次側直流出力電圧ごとに対応して設けられるもので、制御巻線と被制御巻線が巻装された可飽和リアクトルとしての制御トランスの上記被制御巻線を、二次側直流出力電圧を生成するための二次側整流電流経路に挿入し、入力された二次側直流出力電圧レベルに応じて、制御巻線に流すべき制御電流レベルを可変して上記被制御巻線のインダクタンスを可変することで、この二次側直流出力電圧に対する定電圧制御を行うように構成されたインダクタンス制御型定電圧制御手段と、

- 所定の二次側直流出力電圧が立ち上がったとされるときから所定時間経過したタイミングで、他の所定の二次側直流出力電圧を生成するための二次側整流電流経路をオフ状態からオン状態に切り換えるように動作する第一のスイッチ手段と、

力率を改善する力率改善回路とを備え、

- 上記力率改善回路は、上記一次側直列共振回路に対して直列に挿入される力率改善用一次巻線と、上記整流平滑手段として形成される整流電流経路に挿入される力率改善用二次巻線とを巻装して構成される力率改善用トランスと、

上記整流電流経路の所要部位に挿入され、上記力率改善用一次巻線によって力率改善用二次巻線に励起された励起電圧に基づいてスイッチング動作を行うことで整流電流を断続する整流素子と、

を備えて形成されることを特徴とするスイッチング電源回路。

- 5 5. 上記第一のスイッチングコンバータ部に備えられる上記第一のスイッチ手段および、上記他のスイッチングコンバータ部に備えられる上記第一のスイッチ手段は、

上記第一のスイッチングコンバータ部の直流出力電圧生成手段により生成される複数の二次側直流出力電圧のうち、所定の1つの二次側直流出力電圧を入力し、この入力している二次側直流出力電圧が立ち上がったとされる時点から時定数回路によって得られる時間差を有して、上記二次側整流電流経路をオフ状態からオン状態に切り換えるようにされていることを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

- 15 6. 上記整流手段は、ブリッジ接続されたダイオードであって、上記交流入力電圧が供給される二つの端子と基準電位に接続される基準電位端子と整流電圧が出力される整流電圧出力端子とを有し、

上記平滑手段は、接続点を介して上記整流電圧出力端子と基準電位端子との間に直列接続された二つの平滑コンデンサであって、

- 20 上記交流入力電圧が供給される二つの端子のうちの一つと、上記接続点との間に設けられる第二のスイッチ手段をさらに備え、上記交流入力電圧が基準電圧より低いとき、上記第二のスイッチ手段をオン状態として上記交流入力電圧レベルの2倍に対応するレベルの整流平滑電圧を生成する倍電圧整流動作とし、上記交流入力電圧が基準電圧より高いとき、上記第二のスイッチ手段をオフ状態として上記交流入力電圧レベルの等倍に対応するレベルの上記整流平滑電圧を生成する等倍電圧整流動作と
- 25

の切り換えが行われることを特徴とする請求の範囲第 1 項に記載のスイッチング電源回路。

7. 請求の範囲第 1 項または第 4 項に記載のスイッチング電源回路を備え、上記二次側直流出力電圧が駆動電源として供給されることを特徴

5 とするプラズマディスプレイ装置。

補正書の請求の範囲

[2004年4月27日(27.04.2004)国際事務局受理：出願当初の請求の範囲7は取り下げられた；出願当初の請求の範囲1－6は補正された；他の請求の範囲は変更なし。(4頁)]

1. (補正後) 交流入力電圧を整流する整流手段と、
上記整流手段からの整流電圧を平滑する平滑手段と、
- 5 二つのスイッチング素子をハーフブリッジ結合して形成され、上記平滑手段からの直流入力電圧を入力してスイッチング動作を行う第一のスイッチング手段と、
上記各スイッチング素子を交互にオンオフするタイミングによりスイッチング駆動する第一のスイッチング駆動手段と、
- 10 少なくとも、上記第一のスイッチング手段のスイッチング動作により得られるスイッチング出力が供給される一次巻線と、該一次巻線に得られたスイッチング出力としての交番電圧が励起される少なくとも二つの二次巻線とを巻装して形成される第一の絶縁コンバータトランスと、
少なくとも、上記第一の絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、上記一次巻線に直列接続された第一の一次側直列共振コンデンサのキャパシタンスとによって形成され、上記第一のスイッチング手段の動作を電流共振形とする第一の一次側直列共振回路と、
- 15 上記第一の絶縁コンバータトランスの二次巻線の一つであって、負荷に対して最も大きな電力を供給する二次巻線の中央位置に設けられるセンタータップを有し、基準電位に接続されたセンタータップを挟んだ両端それぞれに得られる二次側交流電圧を入力して、両波整流動作を行うことで第一の複数の二次側直流出力電圧を生成するように構成された第一の直流出力電圧生成手段と、
- 20 上記第一の絶縁コンバータトランスの二次巻線の他であって、中央位置に設けられるセンタータップを有し、基準電位に接続されたセンタータップを挟んだ両端それぞれに得られる二次側交流電圧を入力して、両波
- 25

整流動作を行うことで第二の複数の二次側直流出力電圧を生成するように構成された第二の直流出力電圧生成手段と、

- 上記第一の二次側直流出力電圧のレベルに応じて上記第一のスイッチング駆動手段を制御して、該第一のスイッチング手段のスイッチング周波数を可変することで、上記第一の二次側直流出力電圧に対する定電圧制御を行うように構成された第一の定電圧制御手段と、

- 上記他の二次側直流出力電圧に対応して設けられるもので、制御巻線と二つの被制御巻線が巻装された可飽和リアクトルとしての制御トランスの上記二つの被制御巻線を、上記センタータップを挟んだ両端それぞれの二次側整流電流経路に挿入し、入力された二次側直流出力電圧レベルに応じて、制御巻線に流すべき制御電流レベルを可変して上記二つの被制御巻線のインダクタンスを可変することで、上記第二の二次側直流出力電圧に対する定電圧制御を行うように構成された第二の定電圧制御手段と、

- 上記第一の一次側直列共振回路に対して直列に挿入される力率改善用一次巻線、上記整流平滑手段として形成される整流電流経路に挿入される力率改善用二次巻線を巻装して構成される力率改善用トランス、および上記整流電流経路の所要部位に挿入されるとともに上記整流手段として上記力率改善用一次巻線によって力率改善用二次巻線に励起された励起電圧に基づいてスイッチング動作を行う整流素子を有して力率を改善する第一の力率改善回路と

を備えることを特徴とするスイッチング電源回路。

2. (補正後) 上記二つのスイッチング素子のうち、一方のスイッチング素子に対して並列接続された部分電圧共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記各スイッチング素子がターンオン及びター

ンオフするタイミングに応じてのみ電圧共振動作が得られる一次側部分電圧共振回路をさらに有することを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

3. (補正後) 二つのスイッチング素子をハーフブリッジ結合して形成され、上記平滑手段からの直流入力電圧を入力してスイッチング動作を行う第二のスイッチング手段と、

上記各スイッチング素子を交互にオンオフするタイミングによりスイッチング駆動する第二のスイッチング駆動手段と、

- 10 少なくとも、上記第二のスイッチング手段のスイッチング動作により得られるスイッチング出力が供給される一次巻線と、該一次巻線に得られたスイッチング出力としての交番電圧が励起される少なくとも二つの二次巻線とを巻装して形成される第二の絶縁コンバータトランスと、

- 15 少なくとも、上記第二の絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、上記一次巻線に直列接続された第二の一次側直列共振コンデンサのキャパシタンスとによって形成され、上記第二のスイッチング手段の動作を電流共振形とする第二の一次側直列共振回路と、

- 20 上記第二の絶縁コンバータトランスの二次巻線であって、中央位置に設けられるセンタータップを有し、基準電位に接続されたセンタータップを挟んだ両端それぞれに得られる二次側交流電圧を入力して、両波整流動作を行うことで第三の二次側直流出力電圧を生成するように構成された第三の直流出力電圧生成手段と、

- 25 上記第三の二次側直流出力電圧のレベルに応じて上記第二のスイッチング駆動手段を制御して、該第二のスイッチング手段のスイッチング周波数を可変することで、上記第三の二次側直流出力電圧に対する定電圧制御を行うように構成された第三の定電圧制御手段と、

を備え、

補正された用紙 (条約第19条)

上記第一の直流出力電圧生成手段は、上記第三の二次側直流出力電圧が立ち上がったとされるときから所定時間経過したタイミングで、上記第一の二次側直流出力電圧を生成するための二次側整流電流経路をオフ状態からオン状態に切り換えるように動作する第一のスイッチ手段を有

5 することを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

4. (補正後) 上記整流手段は、ブリッジ接続されたダイオードであって、上記交流入力電圧が供給される二つの端子と基準電位に接続される基準電位端子と整流電圧が出力される整流電圧出力端子とを有し、

上記平滑手段は、接続点を介して上記整流電圧出力端子と基準電位端子との間に直列接続された二つの平滑コンデンサであって、

10

上記交流入力電圧が供給される二つの端子の一方と上記接続点との間に設けられる第二のスイッチ手段をさらに備え、上記交流入力電圧が基準とされる電圧より低いとき、上記第二のスイッチ手段をオン状態として上記交流入力電圧レベルの2倍に対応するレベルの整流平滑電圧を生成する倍電圧整流動作とし、上記交流入力電圧が基準とされる電圧より

15 高いとき、上記第二のスイッチ手段をオフ状態として上記交流入力電圧レベルの等倍に対応するレベルの整流平滑電圧を生成する等倍電圧整流動作との切り換えが行われることを特徴とする請求の範囲第1項または第3項に記載のスイッチング電源回路。

20 5. (補正後) 請求の範囲第1項に記載のスイッチング電源回路を備え、上記第一及び上記第二の二次側直流出力電圧が駆動電源として供給されることを特徴とするプラズマディスプレイ装置。

6. (補正後) 請求の範囲第4項に記載のスイッチング電源回路を備え、上記第一、上記第二及び上記第三の二次側直流出力電圧が駆動電源として供給されることを特徴とするプラズマディスプレイ装置。

25

7. (削除)

1/11

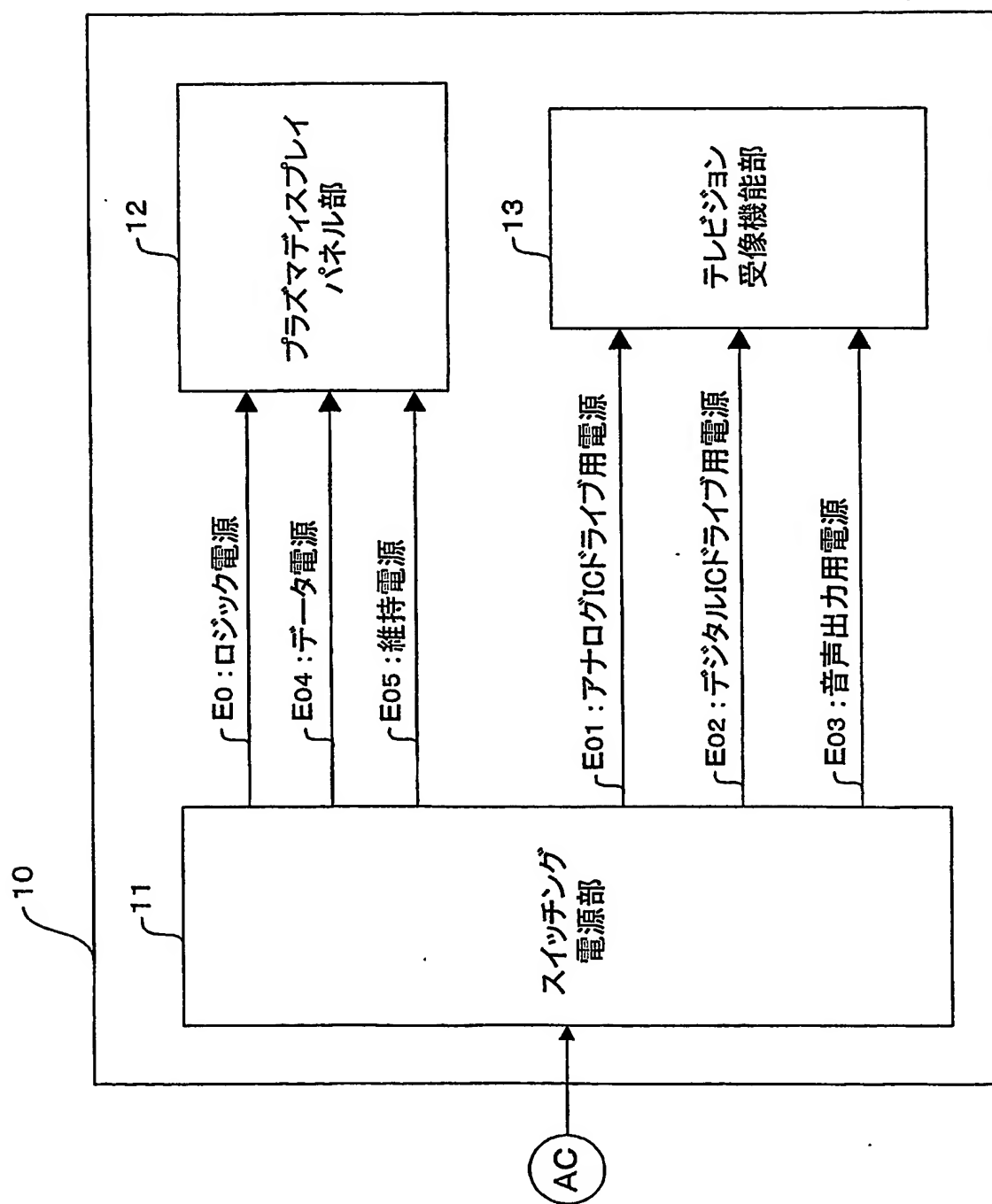


Fig.1

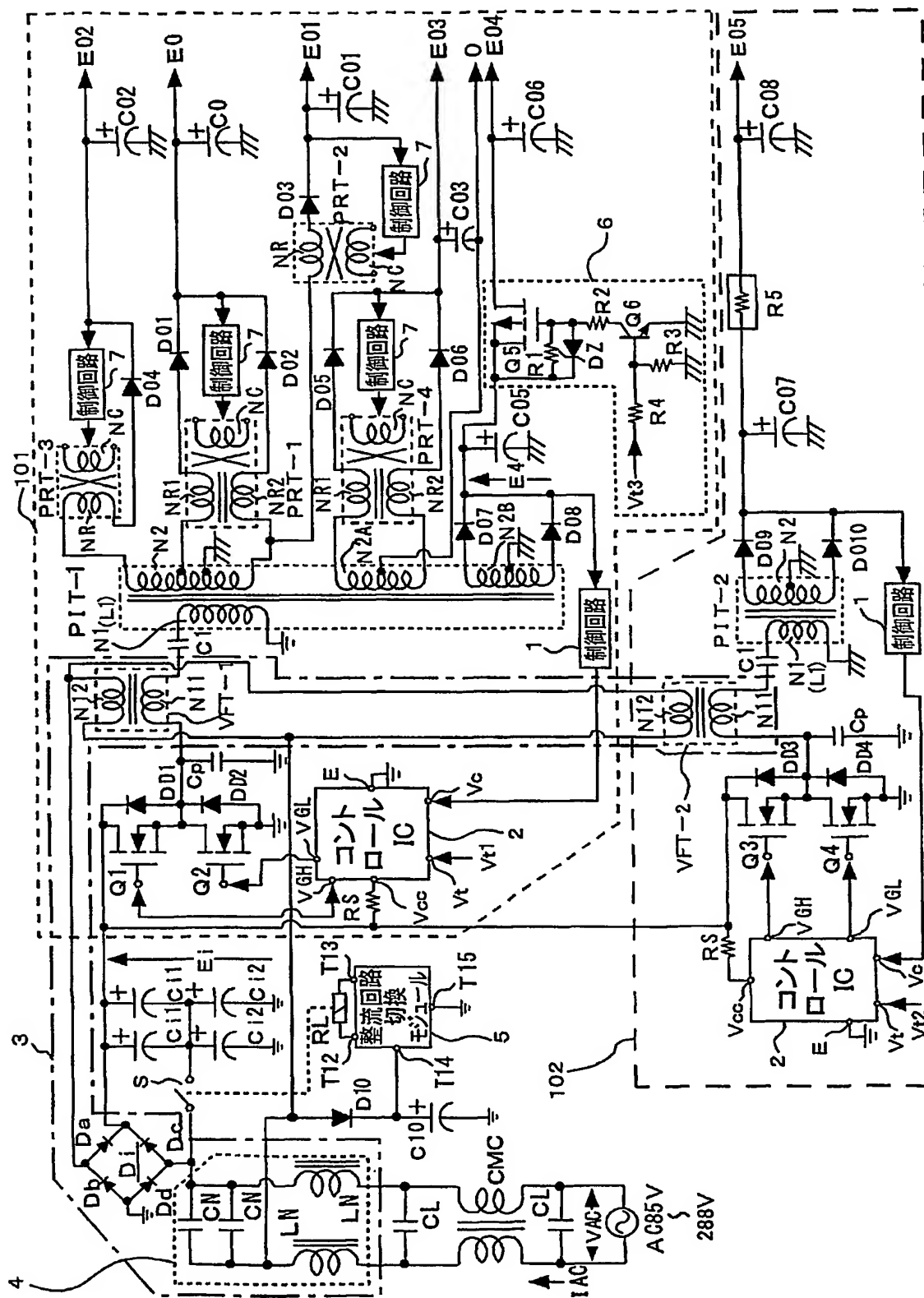


Fig.2

3/11

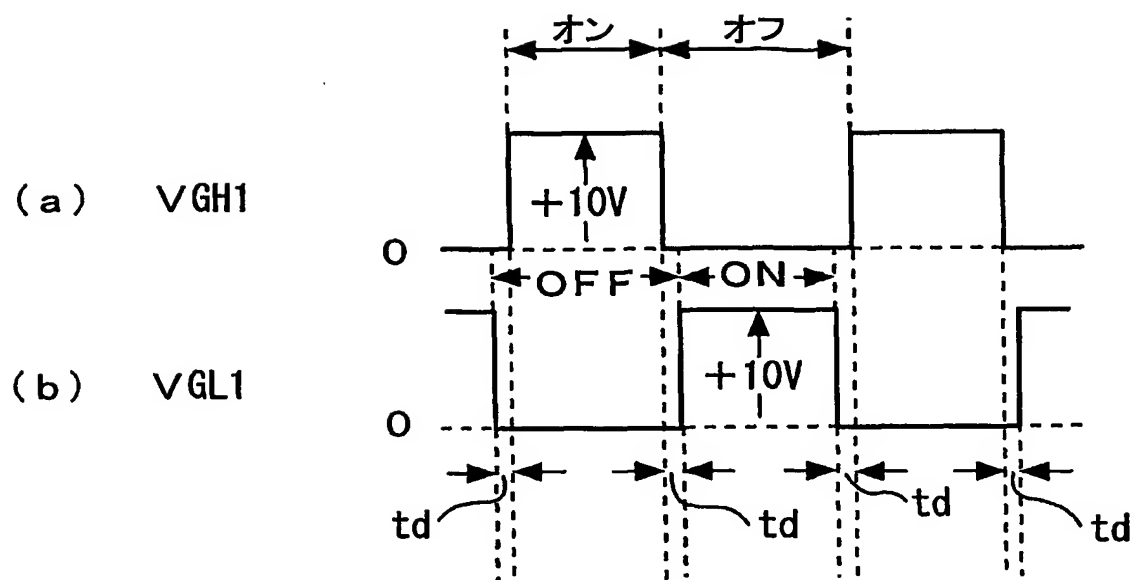


Fig.3

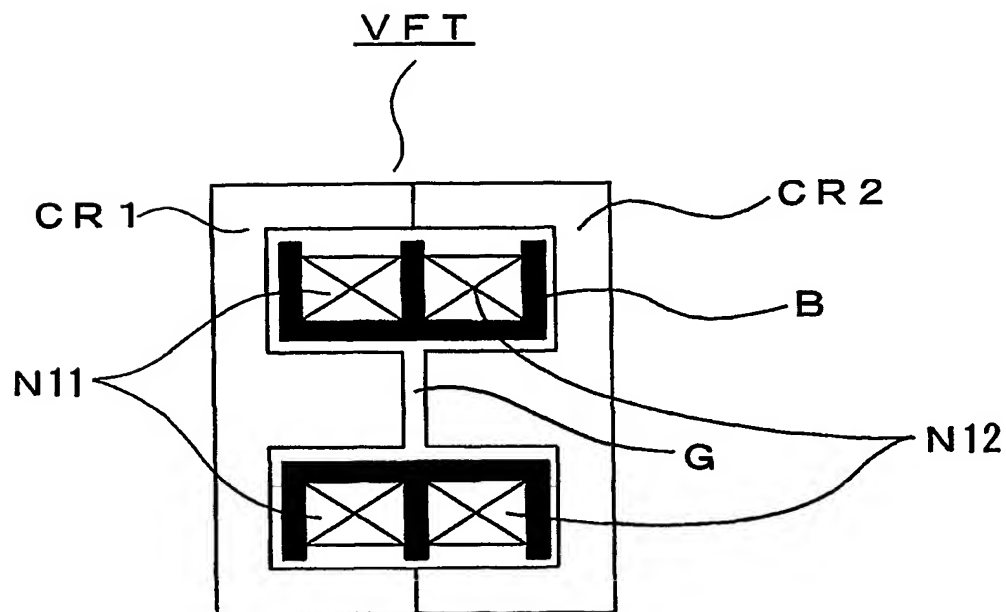


Fig.4

4/11

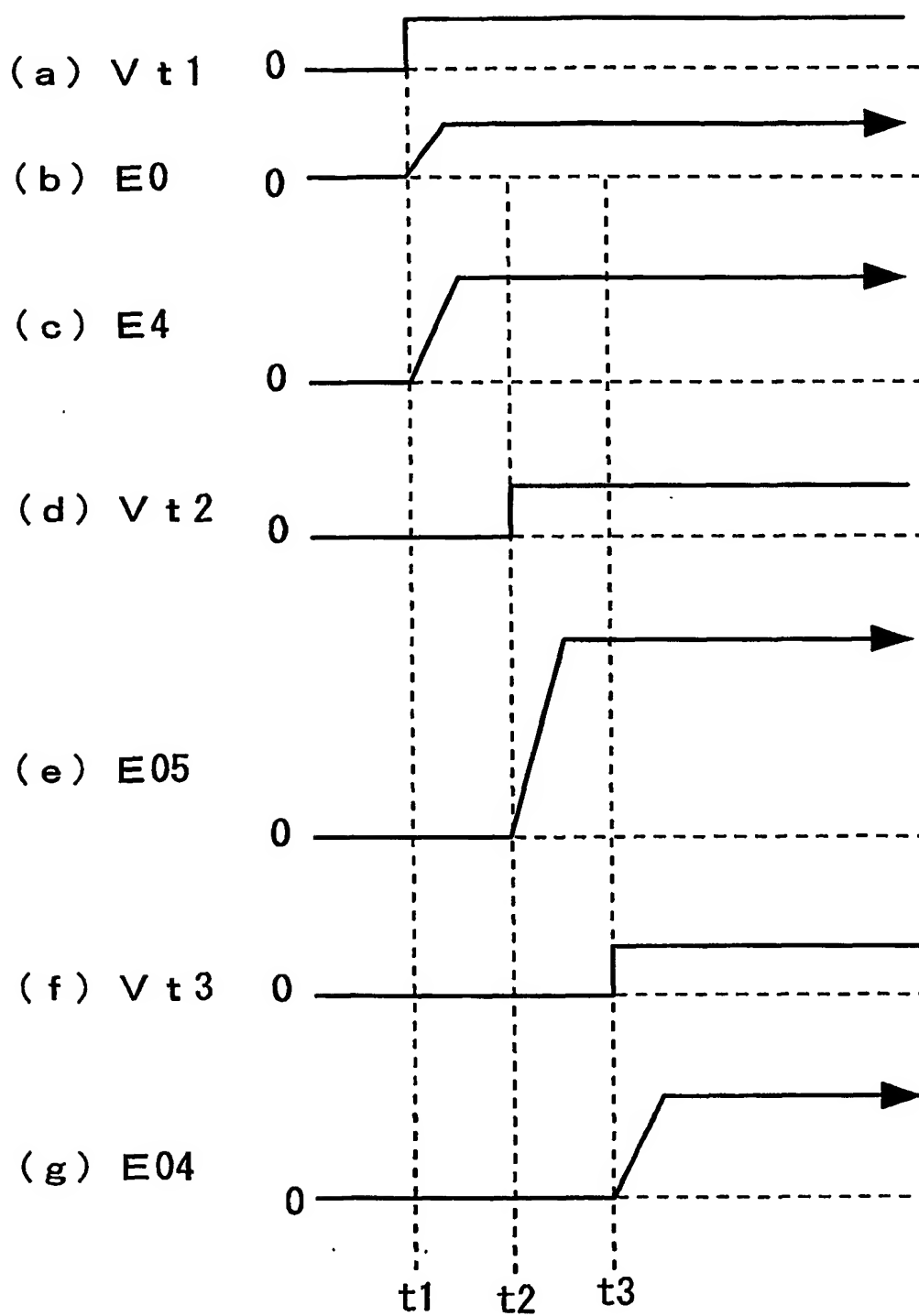


Fig.5

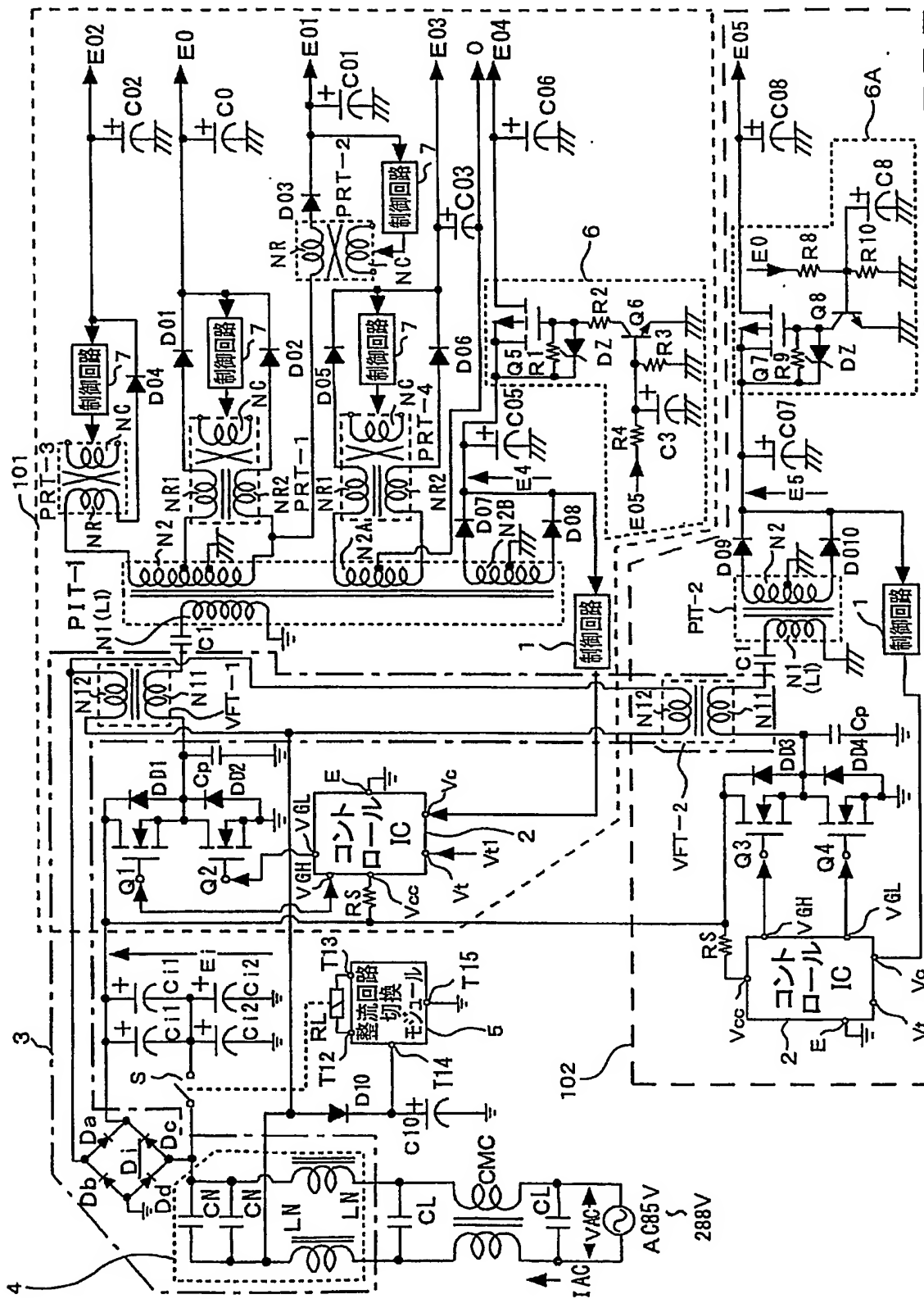


Fig.6

6/11

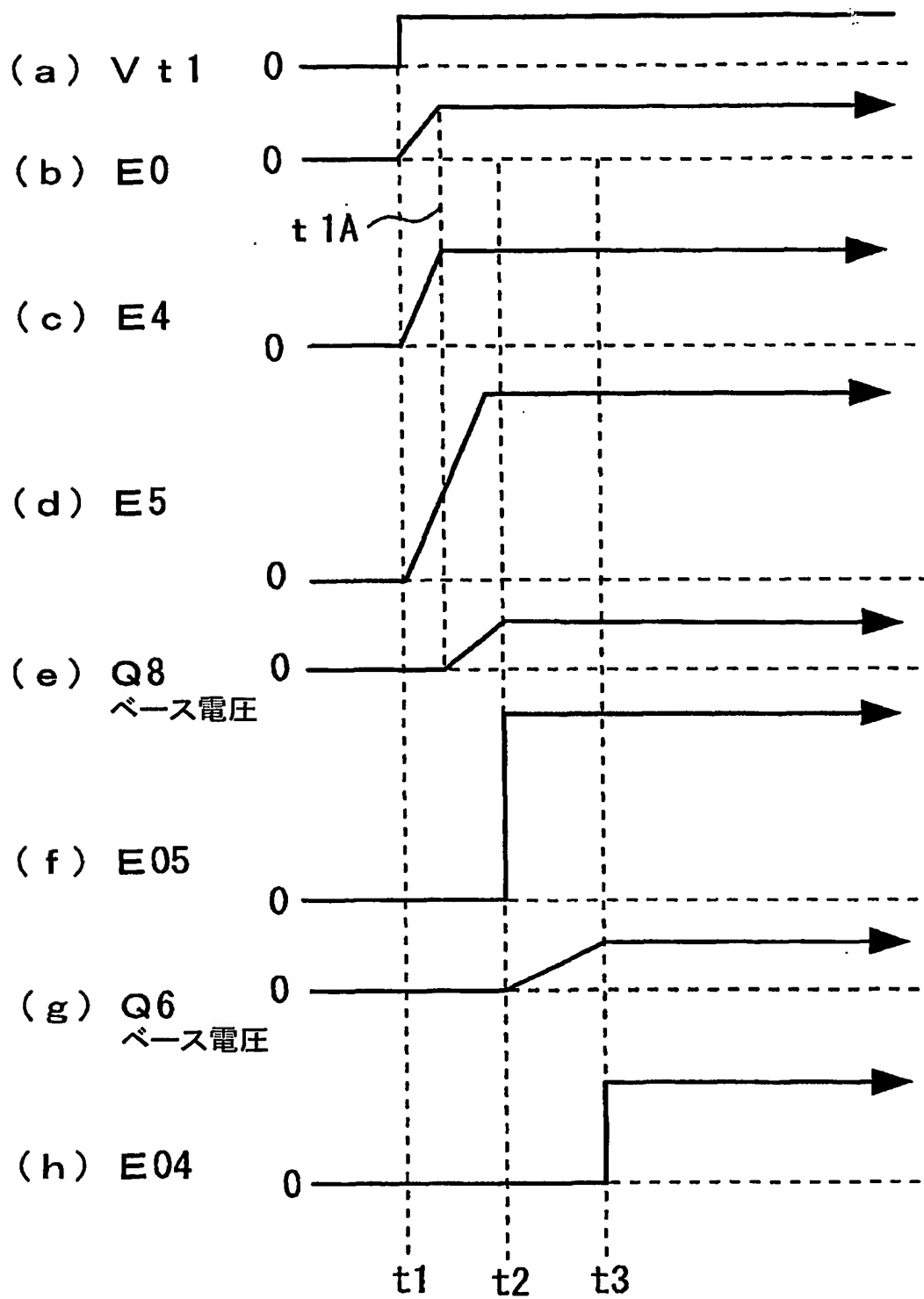


Fig.7

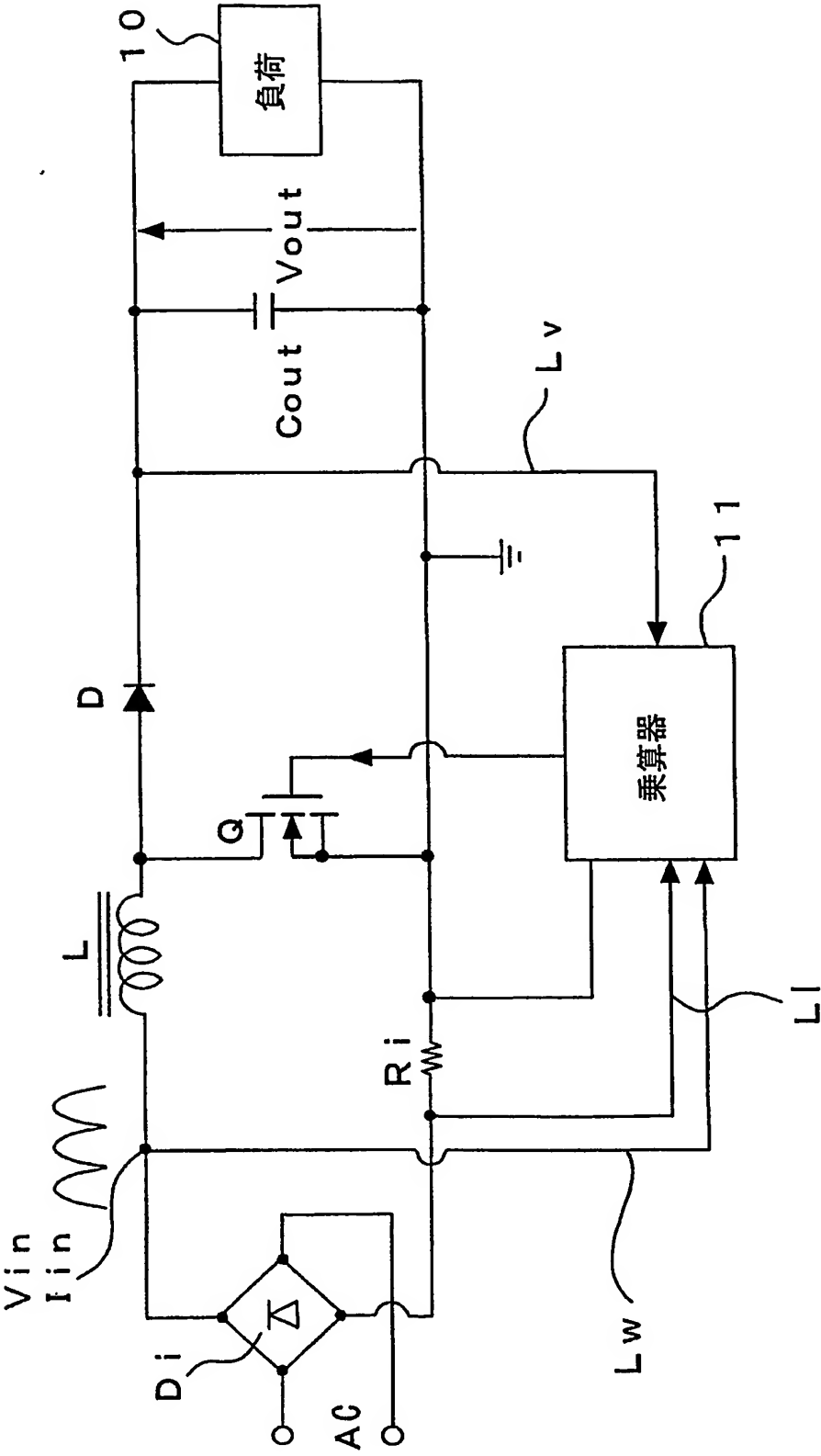


Fig.8

8/11

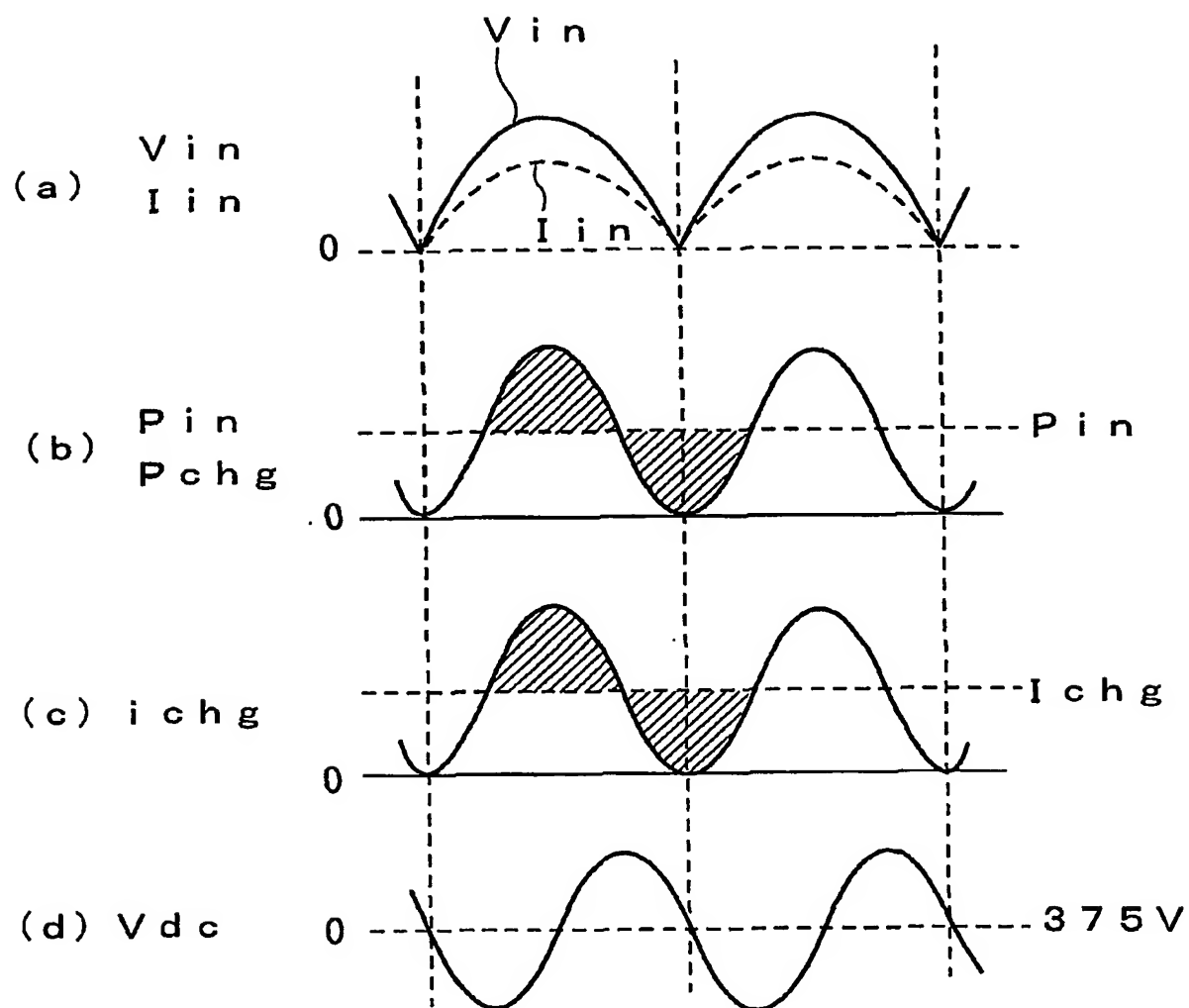


Fig.9

9/11

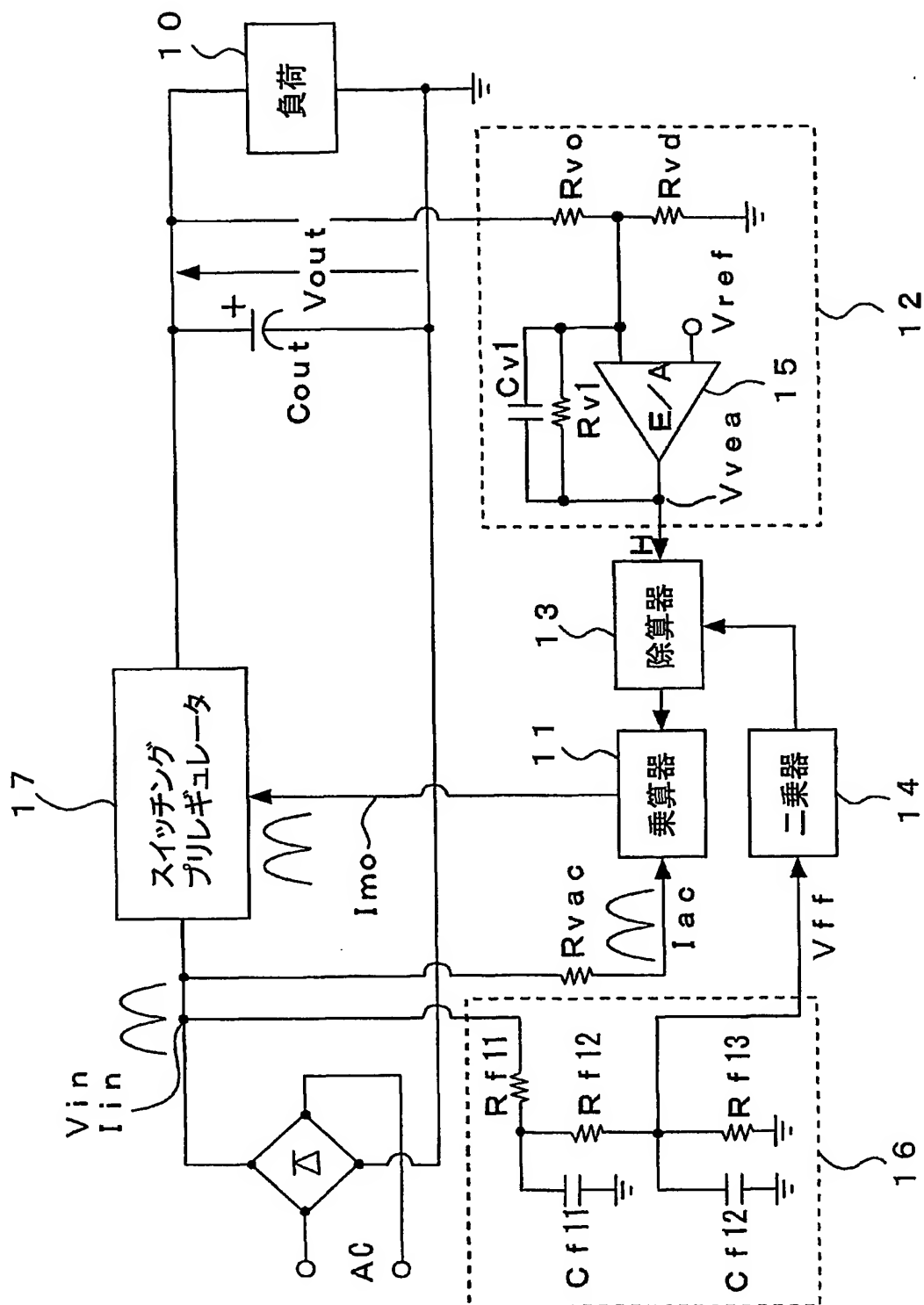


Fig.10

10/11

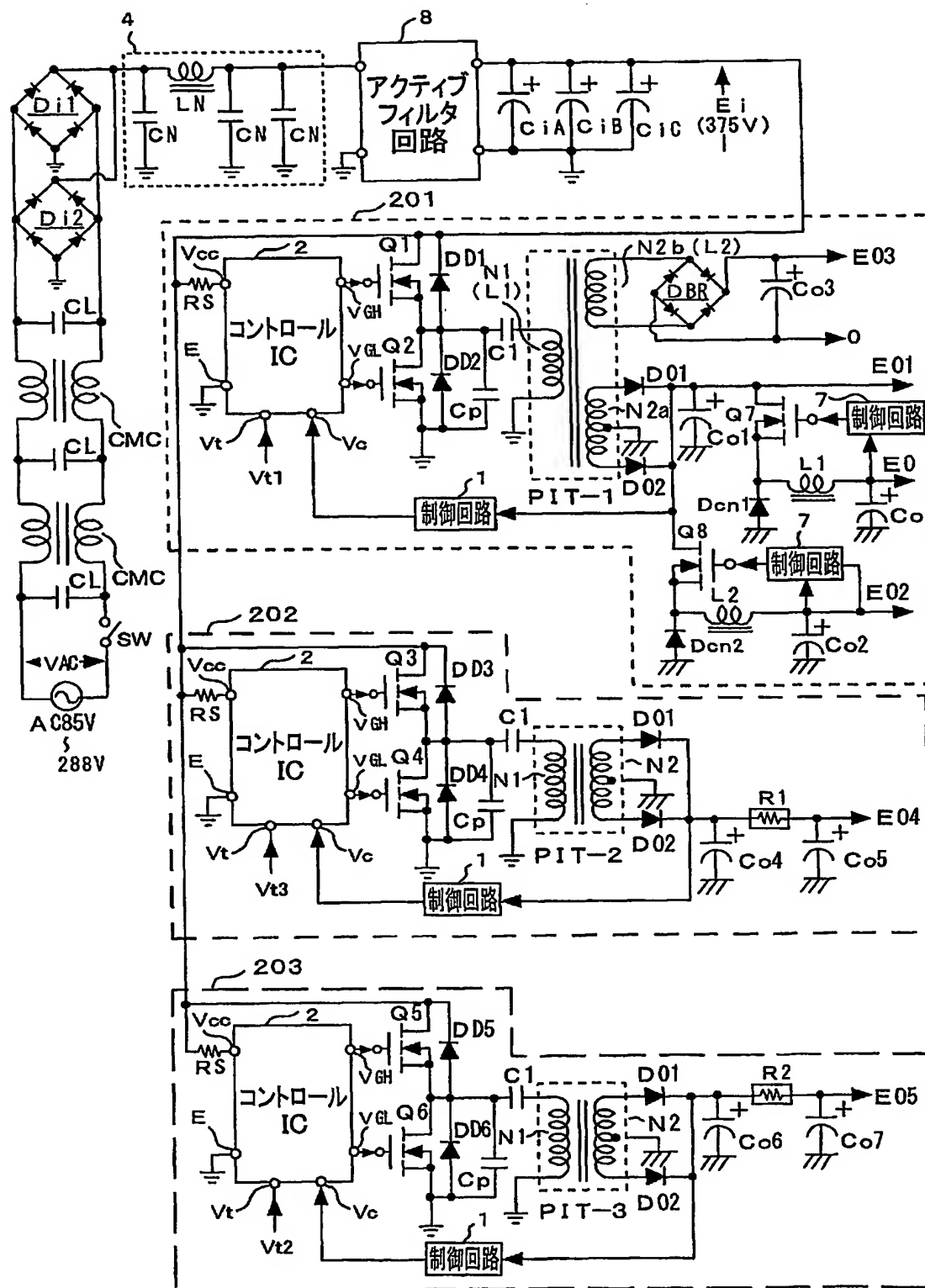


Fig.11

11/11

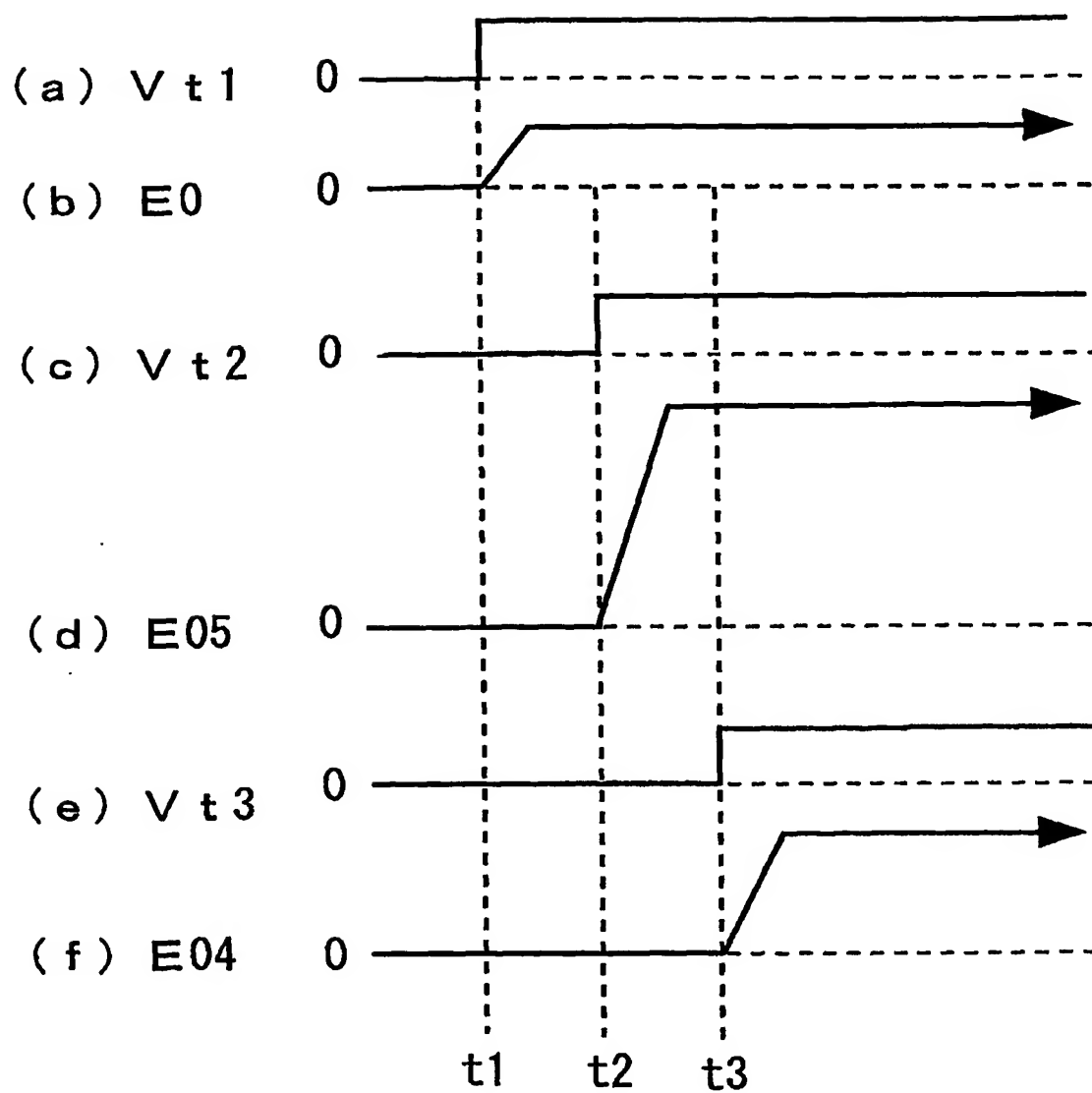


Fig.12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/16339

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-37778 A (Sony Corp.), 06 February, 1996 (06.02.96), Par. Nos. [0035] to [0037]; Fig. 10 (Family: none)	1-7
Y	JP 2002-64981 A (Sony Corp.), 28 February, 2002 (28.02.02), Par. Nos. [0035] to [0075]; Figs. 1 to 3 (Family: none)	1-7
Y	JP 3-15269 A (Fuji Electric Co., Ltd.), 23 January, 1991 (23.01.91), Page 3, upper left column, line 1 to lower left column, line 13; Figs. 1 to 2 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 March, 2004 (18.03.04)	Date of mailing of the international search report 30 March, 2004 (30.03.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16339

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 108886/1990 (Laid-open No. 64989/1992) (Fuji Electric Co., Ltd.), 04 June, 1992 (04.06.92), Page 2, line 1 to page 10, line 4; Figs. 1 to 3 (Family: none)	1-7
Y	JP 2002-247852 A (Sony Corp.), 30 August, 2002 (30.08.02), Par. No. [0021]; Fig.16 (Family: none)	3, 6
Y	JP 2001-333574 A (Matsushita Electric Industrial Co., Ltd.), 30 November, 2001 (30.11.01), Par. No. [0051]; Figs. 1 to 5 (Family: none)	7
Y	JP 2002-112542 A (Fujitsu General Ltd.), 12 April, 2002 (12.04.02), Par. No. [0002]; Figs. 1 to 3 (Family: none)	7

国際調査報告

国際出願番号 PCT/JP03/16339

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-37778 A (ソニー株式会社) 06.02.1996, 【0035】-【0037】, 図10 (ファミリーなし)	1-7
Y	JP 2002-64981 A (ソニー株式会社) 28.02.2002, 【0035】-【0075】, 図1-3 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

18.03.2004

国際調査報告の発送日

30.3.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 3-15269 A (富士電機株式会社) 23. 01. 1991, 第3頁左上欄第1行-左下欄第13行, 図1-2 (ファミリーなし)	1-7
Y	日本国実用新案登録出願2-108886号 (日本国実用新案登録出願公開 4-64989号) の願書に添付した明細書及び図面の内容を記録したマイ クロフィルム (富士電機株式会社) 04. 06. 1992, 第2頁第1行-第10頁第4行, 図1-3 (ファミリーなし)	1-7
Y	JP 2002-247852 A (ソニー株式会社) 30. 08. 2002, 【0021】, 図16 (ファミリーなし)	3, 6
Y	JP 2001-333574 A (松下電器産業株式会社) 30. 11. 2001, 【0051】, 図1-5 (ファミリーなし)	7
Y	JP 2002-112542 A (株式会社富士通ゼネラル) 12. 04. 2002, 【0002】, 図1-3 (ファミリーなし)	7